

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:
Kaoru URATA et al

Art Unit: N/A

Application No.: Not Yet Assigned

Filed: April 2, 2004

For: DATA RECORDING APPARATUS METHOD
AND DATA RECORDING APPARATUS

CLAIM FOR PRIORITY AND SUBMISSION OF DOCUMENTS

MS Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

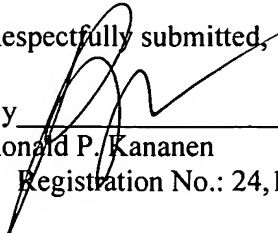
Applicant hereby claims priority under 35 U.S.C. 119 based on the following prior foreign application filed in the following foreign country on the date indicated:

<u>Country</u>	<u>Application No.</u>	<u>Date</u>
Japan	P2003-101296	April 4, 2003

In support of this claim, a certified copy of the said original foreign application is filed herewith.

Dated: April 2, 2004

Respectfully submitted,

By 
Ronald P. Kananen
Registration No.: 24,104

Rader, Fishman & Grauer PLLC
Suite 501
1233 20th Street, N.W.
Washington, D.C. 20036
Telephone: (202) 955-3750
Facsimile: (202) 955-3751
Customer No.: 23353

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 4 日
Date of Application:

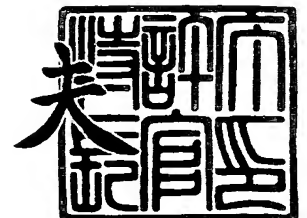
出 願 番 号 特 願 2 0 0 3 - 1 0 1 2 9 6
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 0 1 2 9 6]

出 願 人 ソニー株式会社
Applicant(s):

2 0 0 4 年 1 月 2 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願

【整理番号】 0390157202

【提出日】 平成15年 4月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 9/80

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 後田 薫

【発明者】

 【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
 内

 【氏名】 小菅 庄司

【特許出願人】

 【識別番号】 000002185

 【氏名又は名称】 ソニー株式会社

【代理人】

 【識別番号】 100090376

 【弁理士】

 【氏名又は名称】 山口 邦夫

 【電話番号】 03-3291-6251

【選任した代理人】

 【識別番号】 100095496

 【弁理士】

 【氏名又は名称】 佐々木 榮二

 【電話番号】 03-3291-6251

【手数料の表示】

 【予納台帳番号】 007548

 【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9709004

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ記録方法およびデータ記録装置

【特許請求の範囲】

【請求項 1】 入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化を行い、該エラー訂正符号化された一個または複数個の符号化単位データを記録媒体の一本または複数本のトラックに記録するデータ記録方法であって、

上記一本または複数本のトラックに対して、最初は内符号演算データ系列を構成する上記入力データのデータ列に内符号パリティを付加してなる第 1 のシンクブロックを順次記録し、該第 1 のシンクブロックの記録が終了した後に内符号演算データ系列を構成する外符号パリティのデータ列に内符号パリティを付加してなる第 2 のシンクブロックを順次記録する

ことを特徴とするデータ記録方法。

【請求項 2】 上記一本または複数本の記録トラックに記録されるエラー訂正符号化された一個または複数個の符号化単位データのそれぞれにおける外符号パリティの演算を複数回に分けて処理する

ことを特徴とする請求項 1 に記載のデータ記録方法。

【請求項 3】 入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化を行い、該エラー訂正符号化された一個または複数個の符号化単位データを記録媒体の一本または複数本のトラックに対して記録するデータ記録装置であって、

符号化単位毎に外符号演算データ系列を構成するデータ列に対して外符号パリティを演算して得る外符号パリティ演算手段と、

符号化単位毎に内符号演算データ系列を構成するデータ列に対して内符号パリティを演算して得る内符号パリティ演算手段と、

上記一本または複数本のトラックに対して、最初は内符号演算データ系列を構成する上記入力データのデータ列に上記内符号パリティ演算手段で演算して得られた内符号パリティを付加してなる第 1 のシンクブロックを順次記録し、該第 1 のシンクブロックの記録が終了した後に、内符号演算データ系列を構成する、上

記外符号パリティ演算手段で演算されて得られた外符号パリティのデータ列に上記内符号パリティ演算手段で演算して得られた内符号パリティを付加してなる第2のシンクブロックを順次記録する記録手段と

を備えることを特徴とするデータ記録装置。

【請求項4】 上記記録媒体の一本または複数本のトラックに対して、エラー訂正符号化された n 個（ n は2以上の整数）の符号化単位データを記録し、

上記外符号演算手段は、外符号パリティを演算するための演算器を、少なくとも上記 n 個有する

ことを特徴とする請求項3に記載のデータ記録装置。

【請求項5】 上記記録媒体の一本または複数本のトラックに対して、エラー訂正符号化された n 個（ n は2以上の整数）の符号化単位データを記録し、

上記外符号演算手段は、外符号パリティを演算するための演算器を、上記 n 個より少ない個数有し、上記 n 個の符号化単位データのそれぞれにおける外符号パリティの演算を複数回に分けて処理する

ことを特徴とする請求項3に記載のデータ記録装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、例えばデジタルビデオテープレコーダ等に適用して好適なデータ記録方法およびデータ記録装置に関する。詳しくは、この発明は、入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化を行い、このエラー訂正符号化された一個または複数個の符号化単位データを記録媒体の一本または複数本のトラックに記録する際に、最初は内符号演算データ系列を構成する入力データのデータ列に内符号パリティを付加してなる第1のシンクブロックを順次記録し、その後に内符号演算データ系列を構成する外符号パリティのデータ列に内符号パリティを付加してなる第2のシンクブロックを順次記録することによって、入力データの入力が始まった後当該入力データの記録が始まるまでの時間が短くなるようにしたデータ記録方法およびデータ記録装置に係るものである。

【0002】

【従来の技術】

従来、入力ビデオデータのひとまとまり毎に、一個または複数個の符号化単位をもって積符号を用いたエラー訂正符号化を行い、このエラー訂正符号化された一個または複数個の符号化単位のデータを記録媒体、例えば磁気テープ上の一本または複数本の傾斜トラックに記録するデジタルビデオテープレコーダが提案されている（例えば、特許文献1参照）。

【0003】

【特許文献1】

特開平09-247709号公報

【0004】

【発明が解決しようとする課題】

上述した特許文献1のように、入力ビデオデータに対して符号化単位毎に積符号を用いたエラー訂正符号化を行って記録をするデジタルビデオテープレコーダにあつては、C2パリティ（外符号パリティ）の部分、例えば、図17に示すように各傾斜トラックの最初および最後の部分に配置して記録していた。図17は、1フィールド分のビデオデータが12本の傾斜トラックに記録されるようになされた例である。この場合、1回のスキャンでは4個のヘッドにより4トラックが並行してスキャンされ、従つて12トラックは3回のスキャンで全てスキャンされる。

【0005】

このように、C2パリティの部分、各傾斜トラックの最初および最後の部分に配置して記録する場合、各傾斜トラックの最初および最後の部分には、C1演算データ系列を構成するC2パリティのデータ列にC1パリティ（内符号パリティ）が付加されてなるシンクブロックが順次記録され、一方各傾斜トラックの中央の部分には、C1演算データ系列を構成するビデオデータのデータ列にC1パリティが付加されてなるシンクブロックが順次記録される。

【0006】

この場合、最初にC2パリティの部分、各傾斜トラックの最初および最後の部分に配置して記録する場合、各傾斜トラックの最初および最後の部分には、C1演算データ系列を構成するC2パリティのデータ列にC1パリティ（内符号パリティ）が付加されてなるシンクブロックが順次記録され、一方各傾斜トラックの中央の部分には、C1演算データ系列を構成するビデオデータのデータ列にC1パリティが付加されてなるシンクブロックが順次記録される。

演算が終了している必要がある。そのため、結果的に、入力ビデオデータのひとまとまりを全て取り込んだ後、C2パリティを演算し、その演算が完了するまで、傾斜トラックへの記録を開始することができなかった。

【0007】

例えば、入力ビデオデータのひとまとまりが上述した1フィールドである場合、これを全て取り込むまで1フィールドの時間 T_1 がかかり、さらにC2パリティを演算するまでに時間 T_2 がかかったとすると、ECC(Error Correction Code)エンコーダにおけるシステムディレイ T_a は $T_1 + T_2$ となり、長いシステムディレイが発生する。図18は、EECエンコーダにおける、従来のシステムディレイ T_a を示しており、実線aはビデオデータの入力経過を示しており、破線bはC2パリティおよびビデオデータの出力経過を示している。

【0008】

このようにECCエンコーダにおけるシステムディレイ T_a が長くなると、入力データの入力開始された後当該入力データの記録が開始されるまでの時間も長くなり、以下のような不都合が発生する。

【0009】

①記録されたビデオデータを直ちに再生して確認する際に、入力ビデオデータによる画像に対して、再生ビデオデータによる画像が時間的に大きくずれ、ユーザによる確認作業が困難となる。

【0010】

②プリリード編集を実行するために、記録ヘッドと再生ヘッドの取り付け高さを大きくずらさなければならず、有効トラック長の短縮によるS/Nの劣化が生じる。

【0011】

ここで、プリリード編集とは、テープの所定部分に記録されている所定フレームのビデオデータを再生し、当該所定フレームのビデオデータにテロップデータを挿入する等の処理を行い、その後に当該所定フレームのビデオデータを、テープ上の上述の所定部分に再記録する、という編集である。

【0012】

図19は、プリリード編集システムの一例を示している。再生ヘッドH_pではテープ301の所定部分に記録されている所定フレームのビデオデータを再生する。この場合、再生ヘッドH_pで再生される再生信号は再生アンプ302で増幅され、さらに等化回路303で波形等化された後に復号回路304に供給される。復号回路304では、波形等化後の再生信号に対して、例えばビタビアルゴリズムを利用した復号化の処理が行われる。

【0013】

復号回路304より出力されるビデオデータはECC(Error Correction Code)デコーダ305に供給される。このECCデコーダ305では、ビデオデータに付加されているパリティを用いてエラー訂正が行われる。このECCデコーダ305より出力されるエラー訂正後のビデオデータはビデオ伸長回路306に供給されてデータ伸長が行われる。

【0014】

ビデオ伸長回路306より出力されるビデオデータV_aはスイッチ回路SWのa側の固定端子に供給され、このスイッチ回路SWのb側の固定端子には、ビデオデータV_aに挿入すべき、例えばテロップデータS_tが供給される。この場合、スイッチ回路SWは、テロップデータS_tの供給期間はb側に接続され、その他の期間はa側に接続される。これにより、スイッチ回路SWからは、テロップデータS_tが挿入されたビデオデータV_bが出力される。

【0015】

スイッチ回路SWより出力されるビデオデータV_bはビデオ圧縮回路307に供給されてデータ圧縮が行われる。この場合、例えばビデオデータV_bが8×8画素の二次元ブロックに分割され、DCT(Discrete Cosine Transform)等のブロック符号化を用いたデータ圧縮処理が行われる。上述せずも、ビデオ伸長回路306では、このデータ圧縮の処理とは逆の処理が行われることになる。

【0016】

データ圧縮回路307より出力される圧縮符号化データはECCエンコーダ308に供給される。ECCエンコーダ308では、例えば圧縮符号化データに対して符号化単位毎に積符号を用いたエラー訂正符号化が行われる。このECCエ

ンコーダ 308 より出力されるビデオデータは、記録アンプ 309 を介して記録ヘッド H_r に供給され、テープ 301 の、当該ビデオデータに対応した再生信号が再生ヘッド H_p で再生された部分に記録される。

【0017】

ここで、再生ヘッド H_p で再生されてから記録ヘッド H_r で記録されるまでの時間 t で、テープ 301 は、当該時間 t に比例した距離 d だけ走行する。そのため、図 20 に示すように、記録ヘッド H_r は、テープ 301 が距離 d だけ走行したとき、再生ヘッド H_p が時間 t 前にスキャンしたと同じ部分をスキャンするように、段差（取り付け高さの差） h をもって取り付けられる。

【0018】

この場合、記録ヘッド H_r は、テープ 301 に、範囲 AR_r で当接するようにされる。つまり、記録ヘッド H_r がテープ 301 の端部に当たってテープが切断されるのを防止するために、記録ヘッド H_r は、テープ 301 の端部から所定距離だけ内側に入った位置から、当該テープ 301 に当接するようにされる。そのため、再生ヘッド H_p は、テープ 301 に、範囲 AR_p で当接するようになる。したがって、この範囲 AR_p が有効トラック長ということになる。

【0019】

上述したように ECC エンコーダにおけるシステムディレイ T_a が長くなると、時間 t が長くなることから、距離 d も大きくなり、それだけ段差 h も大きくなり、従って有効トラック長 AR_p は短くなる。このように有効トラック長 AR_p が短くなる場合、有効トラック長 AR_p が長い場合と同じ記録データ容量を確保するために、記録波長が短くされる。しかし、記録波長が短くなると、 S/N が劣化する。

【0020】

この発明の目的は、入力データの入力が始まった後当該入力データの記録が開始されるまでの時間を短くすることにある。

【0021】

【課題を解決するための手段】

この発明に係るデータ記録方法は、入力データに対して符号化単位毎に積符号

を用いたエラー訂正符号化を行い、このエラー訂正符号化された一個または複数個の符号化単位データを記録媒体の一本または複数本のトラックに記録するデータ記録方法であって、一本または複数本のトラックに対して、最初は内符号演算データ系列を構成する入力データのデータ列に内符号パリティを付加してなる第1のシンクブロックを順次記録し、この第1のシンクブロックの記録が終了した後に内符号演算データ系列を構成する外符号パリティのデータ列に内符号パリティを付加してなる第2のシンクブロックを順次記録するものである。

【0022】

また、この発明に係るデータ記録装置は、入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化を行い、このエラー訂正符号化された一個または複数個の符号化単位データを記録媒体の一本または複数本のトラックに対して記録するデータ記録装置であって、符号化単位毎に外符号演算データ系列を構成するデータ列に対して外符号パリティを演算して得る外符号パリティ演算手段と、符号化単位毎に内符号演算データ系列を構成するデータ列に対して内符号パリティを演算して得る内符号パリティ演算手段と、一本または複数本のトラックに対して、最初は内符号演算データ系列を構成する入力データのデータ列に内符号パリティ演算手段で演算して得られた内符号パリティを付加してなる第1のシンクブロックを記録し、この第1のシンクブロックの記録が終了した後に、内符号演算データ系列を構成する、外符号パリティ演算手段で演算されて得られた外符号パリティのデータ列に内符号パリティ演算手段で演算して得られた内符号パリティを付加してなる第2のシンクブロックを順次記録する記録手段とを備えるものである。

【0023】

この発明においては、入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化が行われ、このエラー訂正符号化された一個または複数個の符号化単位データが記録媒体、例えばテープの一本または複数本のトラックに記録される。

【0024】

この場合、一本または複数本のトラックに対して、最初は内符号演算データ系

列を構成する入力データのデータ列に C 1 パリティ（内符号パリティ）を付加してなる第 1 のシンクブロックが順次記録される。そして、この第 1 のシンクブロックの記録が終了した後に、内符号演算データ系列を構成する C 2 パリティ（外符号パリティ）のデータ列に内符号パリティを付加してなる第 2 のシンクブロックが順次記録される。

【 0 0 2 5 】

このように、C 2 パリティは後からまとめて記録されるものであって、当該 C 2 パリティに関しては記録されるまでに演算が終了していればよい。そのため、一本または複数本のトラックに記録すべき入力データのひとまとまりを全て取り込む前に、入力データの記録を開始できる。これにより、入力データの入力開始された後当該入力データの記録が開始されるまでの時間を短くできる。

【 0 0 2 6 】

例えば、記録媒体の一本または複数本のトラックに対して、エラー訂正符号化された n 個（ n は 2 以上の整数）の符号化単位データを記録する場合、C 2 パリティを演算するための演算器を、少なくとも n 個有するようにされる。

【 0 0 2 7 】

この場合、 n 個の符号化単位における C 2 パリティの演算がそれぞれ独立した演算器で並列的に行われるため、一本または複数本のトラックに記録すべき入力データのひとまとまりを全て取り込んだとき、この n 個の符号化単位における C 2 パリティの演算も終了させることができる。そのため、C 2 パリティの記録開始を早めることができ、それに従って入力データの記録開始も早めることができる。

【 0 0 2 8 】

また例えば、記録媒体の一本または複数本のトラックに対して、エラー訂正符号化された n 個（ n は 2 以上の整数）の符号化単位データを記録する場合、C 2 パリティを演算するための演算器が n 個より少ない個数しかない場合には、 n 個の符号化単位のそれぞれにおける C 2 パリティの演算を複数回に分けて処理するようにされる。

【 0 0 2 9 】

演算器が n 個より少ない場合には、一本または複数本のトラックに記録すべき入力データのひとまとまりを全て取り込んだ後に、 n 個の符号化単位における $C2$ パリティの演算が開始される。しかし、上述したように n 個の符号化単位のそれぞれにおける $C2$ パリティの演算を複数回に分けて処理するものとすれば、一本または複数本のトラックに記録すべき入力データのひとまとまりを全て取り込む前から、 n 個の符号化単位における $C2$ パリティの演算を開始できる。そのため、 $C2$ パリティの演算終了時点を早めることができ、それに従って入力データの記録開始時点も早めることができる。

【0030】

【発明の実施の形態】

以下、図面を参照しながら、この発明の実施の形態について説明する。図1は、実施の形態としての記録再生装置100の基本的構成を示している。なお、説明を簡単にするため、オーディオ系については省略している。

【0031】

まず、記録系を説明する。入力端子111に入力されるデジタルのビデオデータ V_{in} はビデオ圧縮回路112に供給される。このビデオ圧縮回路112では、ビデオデータ V_{in} が例えば 8×8 画素の二次元ブロックに分割され、DCT等のブロック符号化を用いたデータ圧縮処理が行われる。

【0032】

ビデオ圧縮回路112より出力されるビデオデータ（圧縮符号化データ） VD_a は、ECCエンコーダ113に供給される。このECCエンコーダ113では、ビデオデータ VD_a に対して符号化単位毎に積符号を用いたエラー訂正符号化が行われる。このECCエンコーダ113より出力される記録ビデオデータ（エラー訂正符号化データ） VD_b は、記録アンプ114を介して記録ヘッド H_r に供給され、磁気テープ120の記録トラックに順次記録される。

【0033】

この場合、ビデオデータ VD_b はデジタル変調処理を経ることなく、NRZ (Non-Return-to-Zero) の形式のままで記録される。しかし、ビデオデータ VD_b に対してデジタル変調処理を施した後に記録するようにしてもよい。

【0034】

次に、再生系を説明する。磁気テープ120の記録トラックより再生ヘッドHpで再生された再生信号は再生アンプ131で増幅され、さらに等化回路132で波形等化された後に復号回路133に供給される。復号回路133では、波形等化後の再生信号に対して、例えばビタビアルゴリズムを利用した復号化の処理が行われ、上述した記録系のECCエンコーダ113から出力される記録ビデオデータVD_bに対応した再生ビデオデータVD_cが得られる。

【0035】

復号回路133より出力される再生ビデオデータVD_cはECCデコーダ134に供給される。このECCデコーダ134では、ビデオデータVD_cに付加されているパリティ（C1パリティ、C2パリティ）を用いてエラー訂正が行われる。

【0036】

ECCデコーダ134より出力されるエラー訂正後のビデオデータ（圧縮符号化データ）VD_dはビデオ伸長回路135に供給される。このビデオ伸長回路135では、記録系のビデオ圧縮回路112とは逆の処理によってデータ伸長が行われる。そして、このビデオ伸長回路135より出力されるビデオデータV_{out}は出力端子136に出力される。

【0037】

図2は、磁気テープ120の記録フォーマットを示している。磁気テープ120には、その長手方向に対して傾斜したトラックTが順次形成される。この場合、互いに隣接する2本のトラックTにおける記録アジマスは異なるようにされる。

【0038】

トラックTの走査開始端側および走査終了端側の領域は、それぞれビデオデータ領域ARV_L、ARV_Uに割り当てられている。このビデオデータ領域ARV_L、ARV_Uには、上述したECCエンコーダ113より出力される記録ビデオデータVD_bが記録される。また、トラックTのビデオ領域ARV_L、ARV_Uに挟まれた領域は、オーディオデータ領域ARAに割り当てられている。このオーデ

ィオデータ領域ARAには、図1にはオーディオ系については図示していないが、記録オーディオデータが記録される。

【0039】

図3は、図1に示す記録再生装置100の回転ドラムの構成を示す略線図である。回転ドラム140には、180度の巻き付け角度をもって、磁気テープ120が斜めに巻き付けられる。磁気テープ120は、回転ドラム140にこのように巻き付けられた状態で、所定速度で走行するようにされる。

【0040】

また、回転ドラム140には、4個の記録ヘッドRECA～RECDが配置されていると共に、これら4個の記録ヘッドRECA～RECDに対して180度の角間隔をもって4個の記録ヘッドRECE～RECHが配置されている。さらに、回転ドラム140には、記録ヘッドRECA～RECHに対応する8個の再生ヘッドPBA～PBHが、記録ヘッドRECA～RECHに対してそれぞれ90度の角間隔をもって配置されている。

【0041】

図1に示す記録再生装置100の記録ヘッドHrは、実際には、上述したように8個の記録ヘッドRECA～RECHからなっている。また、図1に示す記録再生装置100の再生ヘッドHpは、実際には、上述したように8個の再生ヘッドPBA～PBHからなっている。1フィールドのビデオデータは、12トラックに記録される。記録時および再生時には、1回のスキャンでは4個のヘッドによって4トラックが同時に走査され、従って12トラックは3回のスキャンで走査される。

【0042】

12トラックのビデオデータ領域ARVL, ARVUには、図4に示すように、ブロック0～ブロック35までの、36個のECCブロック（符号化単位のデータ）が記録される。1個のECCブロックは、以下のように構成されている。すなわち、226バイト×114バイトのデータ配列からなるビデオデータに対して、矢印bで示す外符号演算データ系列につき、各列のデータ（データ列）が例えば（126, 114）リードソロモン符号によって符号化され、12バイトの

C 2 パリティ (外符号パリティ) が生成される。さらに、これらビデオデータおよび C 2 パリティに対して、矢印 a で示す内符号演算データ系列につき、各行のデータ (データ列) が例えば (2 4 2, 2 2 6) リードソロモン符号によって符号化され、16 バイトの C 1 パリティが生成される。また、各々のデータ行の先頭には、それぞれ 2 バイトの大きさを有するシンクデータおよび I D が配される。

【0043】

図 5 は、ECC ブロックにおける 1 シンクブロックの構成を示している。先頭の 2 バイトはシンクデータである。続く 2 バイトは I D である。この I D には、当該 1 シンクブロックが 12 トラックのいずれに記録されたものを識別するトラック I D、当該 1 シンクブロックが一本の傾斜トラックに記録された複数のシンクブロックのいずれであることを識別するシンクブロック I D が含まれる。また、12 トラック毎に 1 セグメントが構成され、0～3 のセグメント番号が順次繰り返し付与されるが、上述の 2 バイトの I D には、当該 1 シンクブロックが記録されるセグメントのセグメント番号を示すセグメント I D も含まれる。

【0044】

また、この I D に、226 バイトのビデオデータ (または C 2 パリティ) および 16 バイトの C 1 パリティが続く。

【0045】

上述したように、磁気テープ 120 の 12 トラックに、36 個の ECC ブロック (図 4 参照) が記録される。図 6 は、1 セグメントを構成する 12 トラックのビデオデータ領域 A R V_L, A R V_U における各 ECC ブロックのシンクブロックの配置を示している。

【0046】

図 6 A に示すように、1 回目にスキャンされる 0～3 の 4 トラックに関しては、ビデオデータ領域 A R V_L には 0～35 の ECC ブロックにおける 0 R o w～20 R o w までの 21 R o w のシンクブロックが記録され、ビデオデータ領域 A R V_U には 0～35 の ECC ブロックにおける 21 R o w～41 R o w までの 21 R o w のシンクブロックが記録される。

【0047】

また、2回目にスキャンされる4～7の4トラックに関しては、ビデオデータ領域ARV_Lには0～35のECCブロックにおける42Row～62Rowまでの21Rowのシンクブロックが記録され、ビデオデータ領域ARV_Uには0～35のECCブロックにおける63Row～83Rowまでの21Rowのシンクブロックが記録される。

【0048】

さらに、3回目にスキャンされる8～11の4トラックに関しては、ビデオデータ領域ARV_Lには0～35のECCブロックにおける84Row～104Rowまでの21Rowのシンクブロックが記録され、ビデオデータ領域ARV_Uには0～35のECCブロックにおける105Row～125Rowまでの21Rowのシンクブロックが記録される。

【0049】

ここで、0Rowのシンクブロックは、0～35のECCブロックのそれぞれにおける0番目のシンクブロックからなっており、これら36個のシンクブロックは、図6Bに示すように、0～4のトラックに、9シンクブロックずつ振り分けられて記録される。つまり、0のトラックには0, 18, 1, 19, 2, 20, 3, 21, 4のECCブロックにおける0番目のシンクブロックが記録され、1のトラックには22, 5, 23, 6, 24, 7, 25, 8, 26のECCブロックにおける0番目のシンクブロックが記録され、2のトラックには9, 27, 10, 28, 11, 29, 12, 30, 13のECCブロックにおける0番目のシンクブロックが記録され、さらに3のトラックには31, 14, 32, 15, 33, 16, 34, 17, 35のECCブロックにおける0番目のシンクブロックが記録される。

【0050】

以下、同様に、1～125Rowのシンクブロックは、それぞれ0～35のECCブロックにおける1～125番目のシンクブロックからなっており、各36個のシンクブロックは対応する4トラックに9シンクブロックずつ振り分けられて記録される。この場合、Row毎に、4トラックのそれぞれに記録される9シ

ンクブロックが取り出される ECC ブロックがローテーションされる。なお、1 シンクブロックは、図 6 C に示すように、2 バイトのシンクデータ、2 バイトの ID、226 バイトのビデオデータ（または C2 パリティ）および 16 バイトの C1 パリティからなっている。

【0051】

ここで、0～11 の 12トラックには、0 Row～125 Row のシンクブロックが順次記録される。この場合、0 Row～113 Row のシンクブロックは、内符号演算データ系列を構成するビデオデータのデータ列に C1 パリティが付加されてなるものであるが、114 Row～125 Row のシンクブロックは、内符号演算データ系列を構成する C2 パリティのデータ列に C1 パリティが付加されてなるものである。

【0052】

つまり、本実施の形態においては、12トラックに 0～35 の 36 個の ECC ブロックを記録する際に、図 7 に示すように、最初は内符号演算データ系列を構成するビデオデータのデータ列に C1 パリティが付加されてなる第 1 のシンクブロックが順次記録され、この第 1 のシンクブロックの記録が終了した後に、内符号演算データ系列を構成する C2 パリティのデータ列に C1 パリティが付加されてなる第 2 のシンクブロックが順次記録される。

【0053】

次に、図 1 に示す記録再生装置 100 における ECC エンコーダ 113 の詳細を説明する。図 8 は、ECC エンコーダ 113 の構成を示している。

【0054】

この ECC エンコーダ 113 は、SDRAM (Synchronous Dynamic RAM) 151 と、この SDRAM 151 に対する書き込みおよび読み出しを行うためのインタフェースである SDRAM インタフェース 152 とを有している。SDRAM 151 は、複数フィールドのビデオデータを記憶し得る容量を持っている。この場合、SDRAM 151 には、各フィールドについて、36 個の ECC ブロック（図 4 参照）に対応したメモリ空間が用意されている。

【0055】

また、ECCエンコーダ113は、ビデオ圧縮回路112から供給されるビデオデータ（圧縮符号化データ）VDaをSDRAM151に書き込むためのバッファとなる入力書き込みバッファ153と、SDRAM151から読み出される36個のECCブロックに対応したビデオデータを後述するC2エンコーダ155に供給するためのバッファとなるC2読み出しバッファ154とを有している。

【0056】

また、ECCエンコーダ113は、各フィールドについて、36個のECCブロックにおけるC2パリティ（外符号パリティ）を演算するC2エンコーダ155を有している。このC2エンコーダ155は、C2パリティを演算する演算器を36個有しており、上述した36個のECCブロックにおけるC2パリティを並行して演算できる。

【0057】

そのため、C2読み出しバッファ154からC2エンコーダ155には、36個のECCブロックに対応したビデオデータが並行して供給される。またその場合、各ECCブロックのビデオデータは、0～113のシンクブロックのデータの順に供給される。

【0058】

また、ECCエンコーダ113は、各フィールドについて、C2エンコーダ155で演算された36個のECCブロックにおけるC2パリティをSDRAMに書き込むためのバッファとなるC2書き込みバッファ156と、各フィールドについて、SDRAM151から読み出される、36個のECCブロックに対応したビデオデータおよびC2パリティを出力するためのバッファとなる出力バッファ157とを有している。

【0059】

また、ECCエンコーダ113は、出力バッファ157から記録順に出力される各シンクブロックのビデオデータ（またはC2パリティ）のデータ列に、シンクデータおよびIDを付加するSYNC・ID付加回路158と、このSYNC・ID付加回路158でシンクデータおよびIDが付加された各シンクブロック

のビデオデータに対してC1パリティを演算して付加し、記録ビデオデータVD_bとして出力するC1エンコーダ159とを有している。

【0060】

図8に示すECCエンコーダ113の動作を説明する。

ビデオ圧縮回路112（図1参照）より供給されるビデオデータ（圧縮符号化データ）VD_aは、入力書き込みバッファ153およびSDRAMインタフェース152を介してSDRAM151に書き込まれる。この場合、各フィールドのビデオデータVD_aは、それぞれ、対応する36個のECCブロック（図4参照）のメモリ空間におけるビデオデータ領域に書き込まれる。

【0061】

また、各フィールドについて、SDRAM151から読み出される36個のECCブロックに対応したビデオデータは、SDRAMインタフェース152およびC2読み出しバッファ154を介してC2エンコーダ155に供給される。この場合、C2読み出しバッファ154からC2エンコーダ155には、36個のECCブロックに対応したビデオデータが並行して供給される。またその場合、各ECCブロックのビデオデータは、0～113のシンクブロックのデータの順に供給される。

【0062】

C2エンコーダ155では、各フィールドについて、36個の演算器によって、36個のECCブロックにおけるC2パリティが並行して演算される。このように各フィールドについて、C2エンコーダ155で演算される、36個のECCブロックにおけるC2パリティは、C2書き込みバッファ156およびSDRAMインタフェース152を介して、SDRAM151の、対応する36個のECCブロックのメモリ空間におけるC2パリティ領域に書き込まれる。

【0063】

また、各フィールドについて、SDRAM151から読み出される36個のECCブロックに対応したビデオデータおよびC2パリティは、SDRAMインタフェース152を介して出力バッファ157に供給される。この出力バッファ157から記録順に出力される各シンクブロックのビデオデータ（またはC2パリティ）は、記録ビデオデータVD_bとして出力される。

ティ) は、SYNC・ID付加回路158でシンクデータおよびIDが付加された後にC1エンコーダ159に供給される。

【0064】

そして、C1エンコーダ159では、シンクデータおよびIDが付加された各シンクブロックのビデオデータに対してC1パリティが演算されて付加され、記録ビデオデータVD_bとしての各シンクブロックが生成される。この記録ビデオデータVD_bは、上述したように記録アンプ114（図1参照）に供給される。

【0065】

次に、C2エンコーダ155の詳細を説明する。図9は、C2エンコーダ155の構成を示している。このC2エンコーダ155は、36個の演算器170₋₀～170₋₃₅を有している。これら演算器170₋₀～170₋₃₅は、それぞれ、一個のECCブロックにおけるC2パリティを演算するものである。

【0066】

以下、演算器170₋₀～170₋₃₅を説明する。演算器170₋₀～170₋₃₅は同様に構成されていることから、ここでは演算器170₋₀についてのみ説明することにする。なお、この演算器170₋₀と同様の演算器は、特開平11-31977号公報に開示されている。

【0067】

演算器170₋₀は、 n 個のマトリックス演算器200₋₀～200_{-($n-1$)}と、垂直方向の符号生成用の n 個のRAM201₋₀～201_{-($n-1$)}と、排他的論理和を演算する n 個のエクスクルーシブオアゲート（以下、「EX-ORゲート」という）203₋₁～203_{- n} と、 n 個のセクタ204₋₁～204_{- n} とから構成されている。

【0068】

ここで、マトリックス演算器200₋₀の出力はRAM201₋₀に書き込みデータとして供給され、セクタ204₋₁～204_{-($n-1$)}の出力は、それぞれ、RAM201₋₁～201_{-($n-1$)}に書き込みデータとして供給される。マトリックス演算器200₋₁～200_{-($n-1$)}の出力は、それぞれ、セクタ204₋₁～204_{-($n-1$)}のI側に供給されると共に、EX-ORゲート203₋₁～203_{-($n-1$)}に供

給される。

【0069】

また、RAM201₋₀～201_{-(n-1)}の読み出しデータは、それぞれ、EX-ORゲート203₋₁～203_{-n}に供給される。EX-ORゲート203₋₁～203_{-(n-1)}の出力は、それぞれ、セクタ204₋₁～204_{-(n-1)}のP側およびR側に供給され、EX-ORゲート203_{-n}の出力はセクタ204_{-n}のP側に供給される。

【0070】

セクタ204_{-n}のR側には“00h”が供給される。hは16進数であることを示している。EX-ORゲート203_{-n}およびセクタ204_{-n}のI側には、入力データが供給される。そして、RAM201_{-(n-1)}から出力データが取り出される。また、セクタ204_{-n}の出力は、マトリックス演算器200₋₀～200_{-(n-1)}にフィードバックデータとして供給される。

【0071】

セクタ204₋₁～204_{-n}には、それぞれ動作制御信号が供給される。この場合、セクタ204₋₁～204_{-n}は、初期化時にはI側に供給されたデータを出力し、演算時にはP側に供給されたデータを出力し、C2パリティの演算結果の出力時にはR側に供給されたデータを出力する。

【0072】

なお、RAM201₋₀～201_{-(n-1)}は、それぞれ、内符号演算データ系列のデータ長分のワード長、すなわち226バイトのワード長を有している。また、nはC2パリティのバイト数と同数、すなわち12である。

【0073】

次に、演算器170₋₀の動作を説明する。

まず、符号化されるべき入力データの内、最初の1シンボル（ここでは、1バイト）のデータに基づいて、初期化が行われる。この場合、最初の1シンボルのデータとして、実際には、内符号演算データ系列のデータ長分、すなわち外符号演算データ系列に係る226系列にそれぞれ対応した226個のバイトデータが順次供給される。初期化時には、セクタ204₋₁～204_{-n}はそれぞれI側に

供給されたデータを出力する。そのため、この初期化時には、セクタ 204₋₁ ~ 204_{-(n-1)} はそれぞれマトリックス演算器 200₋₁ ~ 200_{-(n-1)} の出力をそのまま後段に供給し、セクタ 204_{-n} は入力データを出力する。

【0074】

したがって、最初の 1 シンボルがそのままフィードバックデータとして、マトリックス演算器 200₋₀ ~ 200_{-(n-1)} に供給される。そして、マトリックス演算器 200₋₀ の演算結果が RAM 201₋₀ の、その時点における入力データの 1 シンボルの系列（外符号演算データ系列に係る 226 系列のいずれか）に対応したアドレス位置に格納されると共に、マトリックス演算器 200₋₁ ~ 200_{-(n-1)} の演算結果がそれぞれセクタ 204₋₁ ~ 204_{-(n-1)} を介して、RAM 201₋₁ ~ RAM 201_{-(n-1)} の、その時点における入力データの 1 シンボルの系列に対応したアドレス位置に格納される。これにより、初期化が行われる。上述したように、最初の 1 シンボルとして 226 個のバイトデータが順次供給されることで、外符号演算データ系列に係る 226 系列分の初期化が行われる。

【0075】

次に、C2 パリティの演算が行われる。演算時には、セクタ 204₋₁ ~ 204_{-n} はそれぞれ P 側に供給されたデータを出力する。そのため、この演算時には、セクタ 204₋₁ ~ 204_{-n} はそれぞれ EX-OR ゲート 203₋₁ ~ 203_{-n} の出力を後段に供給する。

【0076】

入力データのうち、2 番目以降の各 1 シンボルのデータが、EX-OR ゲート 203_{-n} に、順次供給される。この場合、2 番目以降の各 1 シンボルのデータとして、実際には、外符号演算データ系列に係る 226 系列にそれぞれ対応した 226 のバイトデータが順次供給される。この EX-OR ゲート 203_{-n} には、最終段の RAM 201_{-(n-1)} から読み出される、その時点における入力データの 1 シンボルの系列と対応した系列のデータが供給される。

【0077】

この EX-OR ゲート 203_{-n} では、2 番目以降の各 1 シンボルのデータと RAM 201_{-(n-1)} より読み出されたデータとの排他的論理和が演算される。この

EX-ORゲート203_{-n}の出力は、セクタ204_{-n}を介し、フィードバックデータとして、各マトリックス演算器200₋₀~200_{-(n-1)}に供給される。

【0078】

そして、マトリックス演算器200₋₀の演算結果が、RAM201₋₀の、その時点における入力データの1シンボルの系列に対応したアドレス位置に格納される。EX-ORゲート203₋₁~203_{-(n-1)}には、それぞれ、マトリックス演算器200₋₁~200_{-(n-1)}の演算結果と、RAM201₋₀~201_{-(n-2)}から読み出される、その時点における入力データの系列と対応した系列のデータとが供給され、排他的論理和が演算される。このEX-ORゲート203₋₁~203_{-(n-1)}の出力は、それぞれ、セクタ204₋₁~204_{-(n-1)}を介して、RAM201₋₁~RAM201_{-(n-1)}の、その時点における入力データの1シンボルの系列に対応したアドレス位置に格納される。

【0079】

上述したように、2番目以降の各1シンボルのデータとして226個のバイトデータが順次供給されることで、外符号演算データ系列に係る226系列分の演算が行われていく。そして、入力データとして、外符号演算データ系列のデータ長分である114シンボル(114バイト)の全てが入力されることで、C2パリティの演算が終了する。この場合、RAM201₋₀~RAM201_{-(n-1)}に、226系列分のC2パリティが格納された状態となる。

【0080】

次に、演算結果である226系列分のC2パリティの出力が行われる。この出力時には、セクタ204₋₁~204_{-n}はそれぞれR側に供給されたデータを出力する。そのため、この出力時には、セクタ204₋₁~204_{-(n-1)}はそれぞれEX-ORゲート203₋₁~203_{-(n-1)}の出力を後段に供給し、セクタ204_{-n}は“00h”を出力する。

【0081】

この場合、“00h”がフィードバックデータとして、マトリックス演算器200₋₀~200_{-(n-1)}に供給される。マトリックス演算器200₋₀~200_{-(n-1)}は、フィードバックデータが“00h”であるときは、“00h”を出力する

。したがって、マトリックス演算器 200-1~200-(n-1)の出力と、RAM 201-0~201-(n-2)の読み出しデータとに基づいて動作する、最終段以外の EX-OR ゲート 203-1~203-(n-1)は、常に RAM 201-0~201-(n-2)の読み出しデータをそのまま出力することになる。

【0082】

すなわちこの場合には、RAM 201-0~201-(n-1)は単にシフトレジスタとして動作する。したがって、最終段の RAM 201-(n-1)から、外符号演算データ系列に係る 226 系列分の C2 パリティが順次出力される。

【0083】

以上説明したように本実施の形態においては、12トラックに36個の ECC ブロックを記録する際に、最初は内符号演算データ系列を構成するビデオデータのデータ列に C1 パリティが付加されてなる第1のシンクブロックが順次記録され、この第1のシンクブロックの記録が終了した後に、内符号演算データ系列を構成する C2 パリティのデータ列に C1 パリティが付加されてなる第2のシンクブロックが順次記録される（図7参照）。

【0084】

このように、C2 パリティは後からまとめて記録されるものであって、当該 C2 パリティに関しては記録されるまでに演算が終了していればよい。そのため、12トラックに記録すべきビデオデータのひとまとまりである1フィールド分を、ECC エンコーダ 113 に全て取り込む前に、当該ビデオデータの記録を開始できる。これにより、ECC エンコーダ 113 にビデオデータの入力が始まった後当該ビデオデータの記録が始まるまでの時間を短くできる。

【0085】

図10は、ECC エンコーダ 113 におけるシステムディレイ T_bを示しており、実線 a はビデオデータの入力経過、破線 b は C2 パリティおよびビデオデータの出力経過である。このように、本実施の形態におけるシステムディレイ T_bは、従来のシステムディレイ T_a（図18参照）に比べて、大幅に短縮される。

【0086】

なお、上述実施の形態においては、C2 エンコーダ 155 が 36 個の演算器 1

70₋₀～170₋₃₅を有するものであったが、C2エンコーダ155を、例えば上述した演算器170₋₀と同様の構成の一個の演算器のみで構成することもできる。これにより、回路規模、メモリ規模の削減を図ることができる。

【0087】

この場合、12トラックに記録すべきビデオデータのひとまとまりである1フィールド分を、ECCエンコーダ113に全て取り込んだ後に、当該1個の演算器で、0～35の36個のECCブロックにおけるC2パリティを、順次演算するように構成できる。

【0088】

図11は、その場合における、ビデオデータの入力経過（実線aで図示）、36個のECCブロック分のC2パリティの演算経過（一点鎖線cで図示）およびC2パリティおよびビデオデータの出力経過（破線bで図示）を示している。ここで、C2パリティの演算経過で、「データ」に対応した部分ではSDRAM151からビデオデータを読み出してC2エンコーダ155に入力してC2パリティを求める処理が行われ、「C2」に対応した部分ではC2エンコーダ155で求められたC2パリティをSDRAM151に書き込む処理が行われる。

【0089】

この場合においても、C2パリティは後からまとめて記録されるものであって、当該C2パリティに関しては記録されるまでに演算が終了していればよい。そのため、12トラックに記録すべきビデオデータのひとまとまりである1フィールド分を、ECCエンコーダ113に全て取り込む前に、当該ビデオデータの記録を開始できる。

【0090】

これにより、ECCエンコーダ113にビデオデータの入力が始まった後当該ビデオデータの記録が始まるまでの時間が短くなる。この場合のECCエンコーダ133におけるシステムディレイ T_c は、従来のシステムディレイ T_a （図18参照）に比べて短縮されるが、上述したように36個の演算器170₋₀～170₋₃₅を有する場合のシステムディレイ T_b （図10参照）よりは長くなる。

【0091】

次に、C2エンコーダ155の他の構成を説明する。上述実施の形態においては、C2エンコーダ155が36個の演算器170₀～170₃₅を有するものであったが、当該C2エンコーダ155は、一個の演算器170を有し、各ECCブロックのそれぞれにおけるC2パリティの演算を複数回に分けて処理する。

【0092】

図12～図15を参照して、演算器170の構成を説明する。この図において、図9と対応する部分には同一符号を付して示している。

【0093】

演算器170は、 n 個のマトリックス演算器200₀～200_($n-1$)と、垂直方向の符号生成用の n 個のRAM201₀～201_($n-1$)と、排他的論理和を演算する n 個のEX-ORゲート203₁～203 _{n} と、 $(n+1)$ 個のセクタ204₀～204 _{n} とから構成されている。

【0094】

ここで、マトリックス演算器200₀の出力はセクタ204₀のP側およびI側に供給される。セクタ204₀～204_($n-1$)の出力は、それぞれ、RAM201₀～201_($n-1$)に書き込みデータとして供給される。マトリックス演算器200₁～200_($n-1$)の出力は、それぞれ、セクタ204₁～204_($n-1$)のI側に供給されると共に、EX-ORゲート203₁～203_($n-1$)に供給される。

【0095】

また、RAM201₀～201_($n-1$)の読み出しデータは、それぞれ、EX-ORゲート203₁～203 _{n} に供給される。EX-ORゲート203₁～203_($n-1$)の出力は、それぞれ、セクタ204₁～204_($n-1$)のP側およびR側に供給され、EX-ORゲート203 _{n} の出力はセクタ204 _{n} のP側に供給される。

【0096】

セクタ204 _{n} のR側には“00h”が供給される。hは16進数であることを示している。EX-ORゲート203 _{n} およびセクタ204 _{n} のI側およ

びW側には、入力データが供給される。そして、RAM 201_{-(n-1)}から出力データが取り出される。また、セクタ 204_{-n}の出力は、マトリックス演算器 200₋₀～200_{-(n-1)}にフィードバックデータとして供給されると共に、セクタ 204₋₀～204_{-(n-1)}のW側に供給される。

【0097】

セクタ 204₋₀～204_{-n}には、それぞれ動作制御信号が供給される。この場合、セクタ 204₋₀～204_{-n}は、初期化時にはI側に供給されたデータを出力し、演算時にはP側に供給されたデータを出力し、C2パリティの演算結果（演算途中結果も含む）の出力時にはR側に供給されたデータを出力し、C2パリティの演算途中結果のロード時にはW側に供給されたデータを出力する。

【0098】

なお、RAM 201₋₀～201_{-(n-1)}は、それぞれ、内符号演算データ系列のデータ長分のワード長、すなわち226バイトのワード長を有している。また、nはC2パリティのバイト数と同数、すなわち12である。

【0099】

次に、演算器 170を用いて、36個のECCブロック（図4参照）におけるC2パリティを演算する動作を説明する。ここでは、各ECCブロックにおけるC2パリティの演算を4回に分けて処理するものとする。

【0100】

なお、SDRAM 151には、0～35のECCブロックのビデオデータが並列的に書き込まれていく。すなわち、SDRAM 151には、ブロック0の0番目のシンクブロックのビデオデータ、ブロック1の0番目のシンクブロックのビデオデータ、・・・、ブロック35の0番目のシンクブロックのビデオデータ、ブロック0の1番目のシンクブロックのビデオデータ、ブロック1の1番目のシンクブロックのビデオデータ、・・・、ブロック35の1番目のシンクブロックのビデオデータ、・・・、ブロック0の113番目のシンクブロックのデータ、ブロック1の113番目のビデオデータ、・・・、ブロック35の113番目のビデオデータの順に、0～35のECCブロックのビデオデータが書き込まれていく。

【0101】

最初に、ECCブロック0におけるC2パリティの1分割目の演算が行われる。この場合、まず、符号化されるべき入力データの内、最初の1シンボル（例えば1バイト）のデータがSDRAM151から読み出されて演算器170にデータとして供給され、初期化が行われる。図12は、初期化時の状態を示している。この場合、最初の1シンボルのデータとして、実際には、内符号演算データ系列のデータ長分、すなわち外符号演算データ系列に係る226系列にそれぞれ対応した226個のバイトデータが順次供給される。初期化時には、セクタ204₀～204_nはそれぞれI側に供給されたデータを出力する。そのため、この初期化時には、セクタ204₀～204_(n-1)はそれぞれマトリックス演算器200₀～200_(n-1)の出力をそのまま後段に供給し、セクタ204_nはデータを出力する。

【0102】

したがって、最初の1シンボルがそのままフィードバックデータとして、マトリックス演算器200₀～200_(n-1)に供給される。そして、マトリックス演算器200₀～200_(n-1)の演算結果が、それぞれ、セクタ204₀～204_(n-1)を介して、RAM201₀～RAM201_(n-1)の、その時点におけるデータの1シンボルの系列（外符号演算データ系列に係る226系列のいずれか）に対応したアドレス位置に格納される。これにより、初期化が行われる。上述したように、最初の1シンボルとして226個のバイトデータが順次供給されることで、外符号演算データ系列に係る226系列分の初期化が行われる。

【0103】

次に、C2パリティの演算が行われる。図13は演算時の状態を示している。演算時には、セクタ204₀～204_nはそれぞれP側に供給されたデータを出力する。そのため、この演算時には、セクタ204₀はマトリックス演算器200₀の演算結果を後段に供給し、セクタ204₁～204_nはそれぞれEX-ORゲート203₁～203_nの出力を後段に供給する。

【0104】

入力データのうち、2番目以降の各1シンボルのデータが、EX-ORゲート

203_{-n}に、順次供給される。この場合、2番目以降の各1シンボルのデータとして、実際には、外符号演算データ系列に係る226系列にそれぞれ対応した226個のバイトデータが順次供給される。このEX-ORゲート203_{-n}には、最終段のRAM201_{-(n-1)}から読み出される、入力データの1シンボルの系列と対応した系列のデータが供給される。

【0105】

このEX-ORゲート203_{-n}では、2番目以降の各1シンボルのデータとRAM201_{-(n-1)}より読み出されたデータとの排他的論理和が演算される。このEX-ORゲート203_{-n}の出力は、セクタ204_{-n}を介し、フィードバックデータとして、各マトリックス演算器200₋₀~200_{-(n-1)}に供給される。

【0106】

そして、マトリックス演算器200₋₀の演算結果が、セクタ204₋₀を介して、RAM201₋₀の、その時点における入力データの1シンボルの系列に対応したアドレス位置に格納される。EX-ORゲート203₋₁~203_{-(n-1)}には、それぞれ、マトリックス演算器200₋₁~200_{-(n-1)}の演算結果と、RAM201₋₀~201_{-(n-2)}から読み出される、その時点における入力データの系列と対応した系列のデータとが供給され、排他的論理和が演算される。このEX-ORゲート203₋₁~203_{-(n-1)}の出力は、それぞれ、セクタ204₋₁~204_{-(n-1)}を介して、RAM201₋₁~RAM201_{-(n-1)}の、その時点における入力データの1シンボルの系列に対応したアドレス位置に格納される。

【0107】

上述したように、2番目以降の各1シンボルのデータとして226個のバイトデータが順次供給されることで、外符号演算データ系列に係る226系列分の演算が行われていく。そして、入力データとして1分割目の最後のシンボルが入力されることで、RAM201₋₀~RAM201_{-(n-1)}に、226系列分のC2パリティの1分割目までの演算途中結果が格納された状態となる。

【0108】

次に、226系列分のC2パリティの演算途中結果の出力が行われる。図14は、この演算途中結果出力時の状態を示している。この出力時には、セクタ2

04₋₁～204_{-n}はそれぞれR側に供給されたデータを出力する。そのため、この出力時には、セクタ204₋₁～204_{-(n-1)}はそれぞれEX-ORゲート203₋₁～203_{-(n-1)}の出力を後段に供給し、セクタ204_{-n}は“00h”を出力する。

【0109】

この場合、“00h”がフィードバックデータとして、マトリックス演算器200₋₀～200_{-(n-1)}に供給される。マトリックス演算器200₋₀～200_{-(n-1)}は、フィードバックデータが“00h”であるときは、“00h”を出力する。したがって、マトリックス演算器200₋₁～200_{-(n-1)}の出力と、RAM201₋₀～201_{-(n-2)}の読み出しデータとに基づいて動作する、最終段以外のEX-ORゲート203₋₁～203_{-(n-1)}は、常にRAM201₋₀～201_{-(n-2)}の読み出しデータをそのまま出力することになる。

【0110】

すなわちこの場合には、RAM201₋₀～201_{-(n-1)}は単にシフトレジスタとして動作する。したがって、最終段のRAM201_{-(n-1)}から、外符号演算データ系列に係る226系列分のC2パリティの演算途中結果が順次出力され、この演算途中結果はSDRAM151に供給されて書き込まれる。

【0111】

このようにして、ECCブロック0におけるC2パリティの演算が1分割目まで行われる。以下、上述したECCブロック0の場合と同様にして、ECCブロック1～35におけるC2パリティの演算がそれぞれ1分割目まで順次行われる。

【0112】

次に、ECCブロック0におけるC2パリティの2分割目の演算が行われる。この場合、まず、1分割目までの演算による演算途中結果のロードが行われる。図15は、このロード時の状態を示している。

【0113】

ロード時には、セクタ204₋₀～204_{-n}はそれぞれW側に供給されたデータを出力する。そのため、このロード時には、セクタ204_{-n}は入力データを

出力する。そして、セクタ 204₋₀～204_{-(n-1)}は、それぞれセクタ 204_{-n}から出力された入力データを後段のRAM 201₋₀～201_{-(n-1)}に供給する。これにより、SDRAM 151から読み出された、ECCブロック 0におけるC2パリティの演算途中結果がRAM 201₋₀～201_{-(n-1)}に格納される。これにより、演算器 170の状態は、1分割目の最終演算状態に復帰する。

【0114】

この状態からECCブロック 0におけるC2パリティの2分割目の演算が続行される。そして、この2分割目までのC2パリティの演算途中結果が出力されてSDRAM 151に書き込まれる。この場合の演算動作および演算途中結果の出力動作は、上述した1分割目の場合と同様である。以下、上述したECCブロック 0の場合と同様にして、ECCブロック 1～35におけるC2パリティの演算がそれぞれ2分割目まで順次行われる。

【0115】

以下、同様にして、ECCブロック 1～35におけるC2パリティの演算が、それぞれ2分割目の最終演算状態から続行されて3分割目まで行われ、さらにECCブロック 1～35におけるC2パリティの演算が、それぞれ3分割目の最終演算状態から続行されて4分割目まで行われる。4分割目における最終演算状態では、RAM 201₋₀～201_{-(n-1)}に、演算途中結果ではなく、最終的に求めるべきC2パリティが格納された状態となる。したがって、ECCブロック 0～35におけるC2パリティの演算がそれぞれ4分割目まで終了した時点で、SDRAM 151には、0～35の36個のECCブロックにおけるC2パリティが格納された状態となる。

【0116】

このように、ECCエンコーダ 155を一個の演算器 170で構成することで、回路規模、メモリ規模を削減できる。また、その場合、各ECCブロックにおけるC2パリティの演算を複数回に分けて処理することで、12トラックに記録すべきビデオデータのひとまとまりである1フィールド分を、ECCエンコーダ 113に全て取り込む前に、C2パリティの演算を開始できる。したがって、演算を分割しない場合に比べて、C2パリティの演算終了時点を早めることができ

、その分だけビデオデータの記録開始時点を早めることができる。これにより、ECCエンコーダ113にビデオデータの入力が始まった後当該ビデオデータの記録が始まるまでの時間を短くできる。

【0117】

図16は、その場合における、ビデオデータの入力経過（実線aで図示）、36個のECCブロック分のC2パリティの演算経過（一点鎖線cで図示）およびC2パリティおよびビデオデータの出力経過（破線bで図示）を示している。

【0118】

ここで、C2パリティの演算経過で、「データ」に対応した部分ではSDRAM151からビデオデータを読み出してC2エンコーダ155に入力してC2パリティを求める処理が行われ、「C2」に対応した部分ではC2エンコーダ155で求められた演算結果（演算途中結果またはC2パリティ）をSDRAM151に書き込む処理およびこの演算結果（演算途中結果）をSDRAM151から読み込む処理（ロード処理）が行われる。この場合のECCエンコーダ133におけるシステムディレイTdは、演算を分割しない場合のシステムディレイTc（図11参照）に比べて、大幅に短縮される。

【0119】

なお、上述では、各ECCブロックにおけるC2パリティの演算を4分割して処理する例を説明したが、この分割数は一例であって、これに限定されるものではない。分割数を多くすることで、C2パリティの演算開始時点を早めることができる。しかし、分割数を多くすることで、SDRAM151に対する書き込みおよび読み出しに要する時間が増え、C2パリティの演算に要する時間が増加し、演算終了時点が遅れる。したがって、分割数は、これらを考慮して、システムディレイTdを最小にするように設定すればよい。

【0120】

また、上述では、ECCエンコーダ155が1個の演算器170で構成されるものを示したが、ECCエンコーダ155を2個以上で36個より少ない個数の演算器で構成し、各ECCブロックにおけるC2パリティの演算を分割して処理することも考えられる。例えば、2個の演算器170で構成でき、その場合には

各演算器 170 は 18 個の ECC ブロックにおける C2 パリティの演算を担当することになる。また例えば、4 個の演算器 170 で構成でき、その場合には各演算器 170 は 9 個の ECC ブロックにおける C2 パリティの演算を担当することになる。

【0121】

また、上述の RAM201₋₀～201_{-(n-1)}は、特開平 11-31977 号公報で公開されているように、外符号演算時に横系列の入力信号を縦系列に変換することなく外符号演算を可能にするために、内符号演算データ系列のデータ長分のワード長（226 バイト）としているが、別途横系列を縦系列に変換する機能ブロックを有する構成であるならば、RAM201₋₀～201_{-(n-1)}は、ワード長（226 バイト）以下でもよく、またフリップフロップで置き換えてもかまわない。

【0122】

また、上述実施の形態においては、この発明をビデオデータの記録に適用したものであるが、この発明はオーディオデータの記録にも同様に適用できる。また、記録媒体も磁気テープに限定されるものではなく、磁気ディスク、光ディスク、その他の記録媒体に記録するものにも同様に適用できる。

【0123】

【発明の効果】

この発明によれば、入力データに対して符号化単位毎に積符号を用いたエラー訂正符号化を行い、このエラー訂正符号化された一個または複数個の符号化単位 of データを記録媒体の一本または複数本のトラックに記録する際に、最初は内符号演算データ系列を構成する入力データのデータ列に内符号パリティを付加してなる第 1 のシンクブロックを順次記録し、その後に内符号演算データ系列を構成する外符号パリティのデータ列に内符号パリティを付加してなる第 2 のシンクブロックを順次記録するものであり、入力データの入力が始まった後当該入力データの記録が始まるまでの時間を短くできる。

【0124】

また、この発明によれば、n 個の符号化単位のそれぞれにおける外符号パリティ

ィの演算を複数回に分けて処理することで、 n 個の符号化単位のそれぞれにおける外符号パリティの演算を、 n 個よりも少ない個数の演算器で演算する場合に、一本または複数本のトラックに記録すべき入力データのひとまとまりを全て取り込む前から n 個の符号化単位における外符号パリティの演算を開始でき、外符号の演算終了時点を早めることができる。したがって、入力データの記録開始も早めることができ、よって入力データの入力開始された後当該入力データの記録が開始されるまでの時間を短くできる。

【0125】

これにより、例えば、記録されたビデオデータを直ちに再生して確認する際に、入力ビデオデータによる画像に対して、再生ビデオデータによる画像が時間的に大きくずれることを回避でき、ユーザによる確認作業を容易とできる。また、プリリード編集を実行するために、記録ヘッドと再生ヘッドの取り付け高さを大きくずらすことを回避でき、有効トラック長の短縮による S/N の劣化を防止できる。

【図面の簡単な説明】

【図1】

実施の形態としての記録再生装置の構成を示すブロック図である。

【図2】

記録フォーマットを説明するための図である。

【図3】

磁気ヘッドの配置を説明するための図である。

【図4】

ビデオデータのECCブロックの構成を示す図である。

【図5】

ビデオデータの1シンクブロックの構成を示す図である。

【図6】

12トラック内のシンクブロックの配置を説明するための図である。

【図7】

C2パリティの配置を示す図である。

【図 8】

ECCエンコーダの構成を示すブロック図である。

【図 9】

C2エンコーダの構成を示すブロック図である。

【図 10】

ECCエンコーダ（演算器 36 個の場合）におけるシステムディレイを示す図である。

【図 11】

ECCエンコーダ（演算器 1 個、処理分割せず）におけるシステムディレイを示す図である。

【図 12】

演算器 1 個で C2 パリティの演算を分割処理する際の初期化時の状態を示す図である。

【図 13】

演算器 1 個で C2 パリティの演算を分割処理する際の演算時の状態を示す図である。

【図 14】

演算器 1 個で C2 パリティの演算を分割処理する際の演算結果出力時の状態を示す図である。

【図 15】

演算器 1 個で C2 パリティの演算を分割処理する際の演算途中結果ロード時の状態を示す図である。

【図 16】

ECCエンコーダ（演算器 1 個、4 分割処理）におけるシステムディレイを示す図である。

【図 17】

従来の C2 パリティの配置例を示す図である。

【図 18】

従来の ECCエンコーダにおけるシステムディレイを示す図である。

【図 19】

プリリード編集システムの一例を示す図である。

【図 20】

プリリード編集システムにおける、システムディレイと、記録ヘッド、再生ヘッドの段差との関係を示す図である。

【符号の説明】

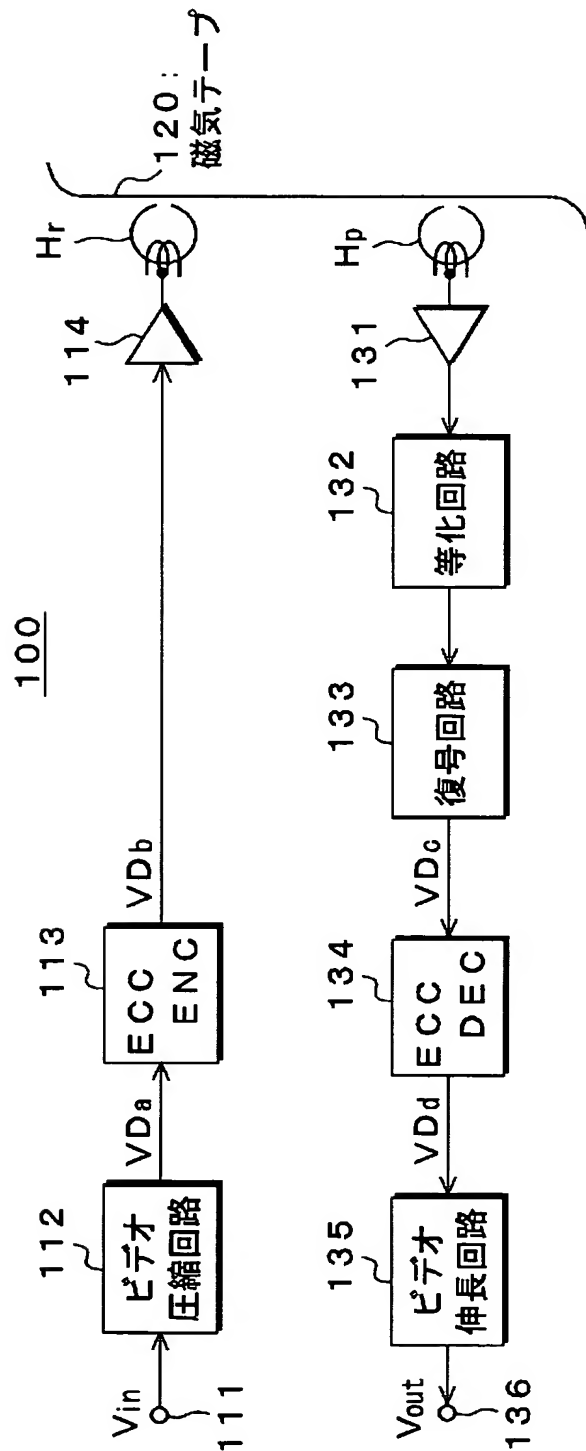
100・・・記録再生装置、111・・・入力端子、112・・・ビデオ圧縮回路、113・・・ECCエンコーダ、114・・・記録アンプ、120・・・磁気テープ、131・・・再生アンプ、132・・・等化回路、133・・・復号回路、134・・・ECCデコーダ、135・・・ビデオ伸長回路、136・・・出力端子、140・・・回転ドラム、151・・・SDRAM、152・・・SDRAMインタフェース、153・・・入力書き込みバッファ、154・・・C2読み出しバッファ、155・・・C2エンコーダ、156・・・C2書き込みバッファ、157・・・出力バッファ、158・・・SYNC・ID付加回路、159・・・C1エンコーダ、170, 170_0～170_35・・・演算器

【書類名】

図面

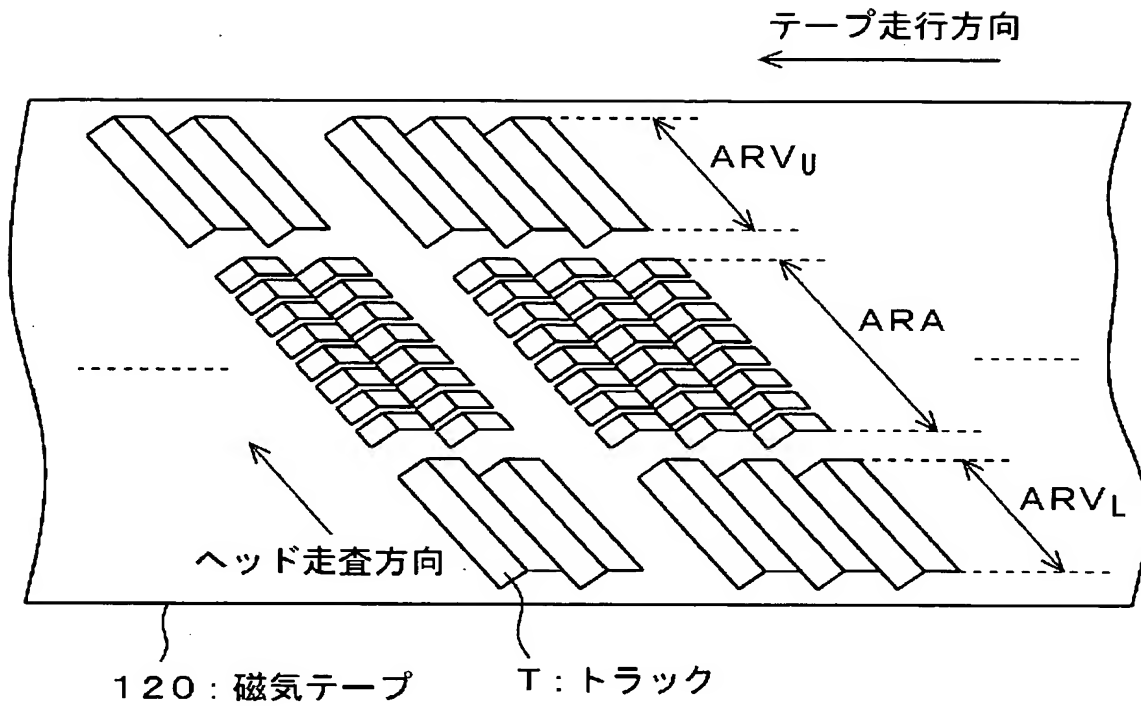
【図 1】

記録再生装置



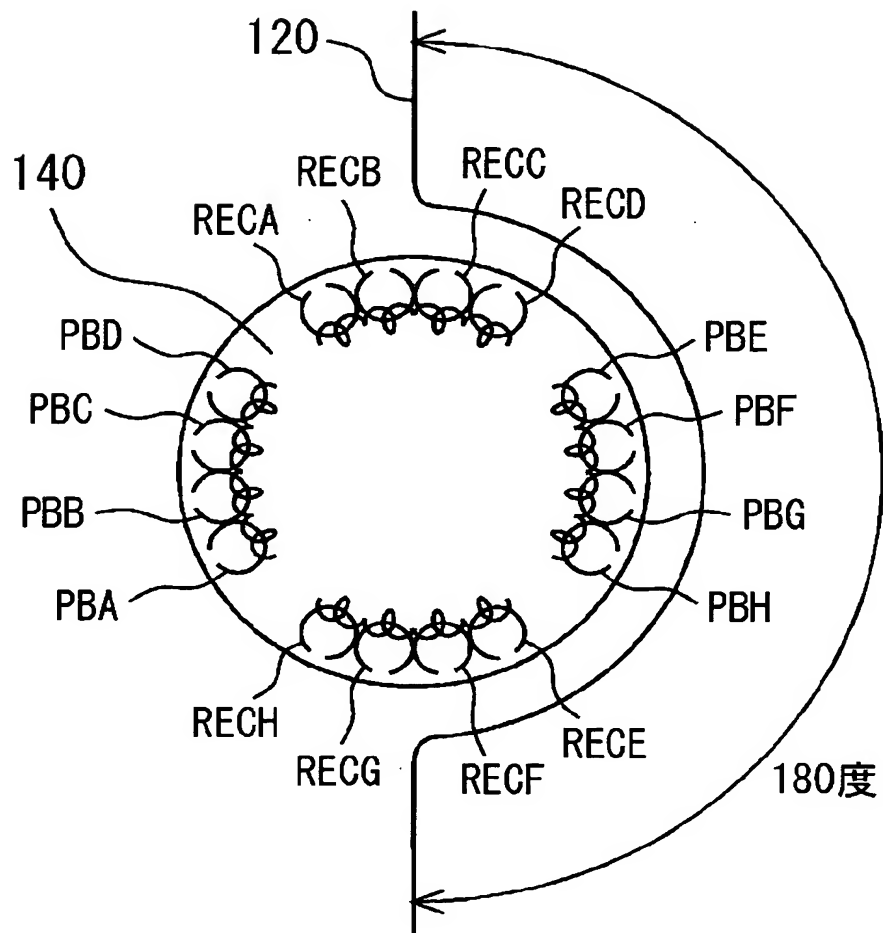
【図 2】

記録フォーマット



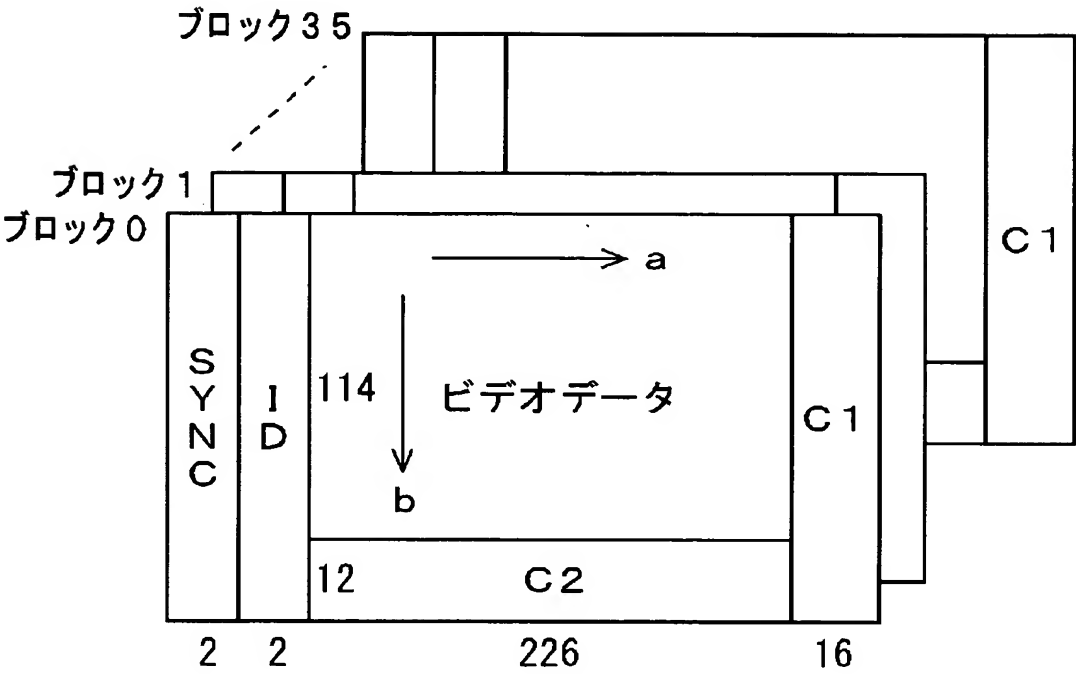
【図 3】

磁気ヘッドの配置



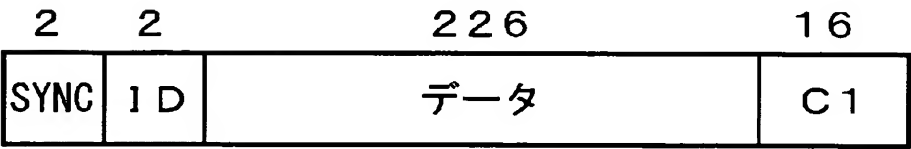
【図 4】

ECCブロック（ビデオデータ）



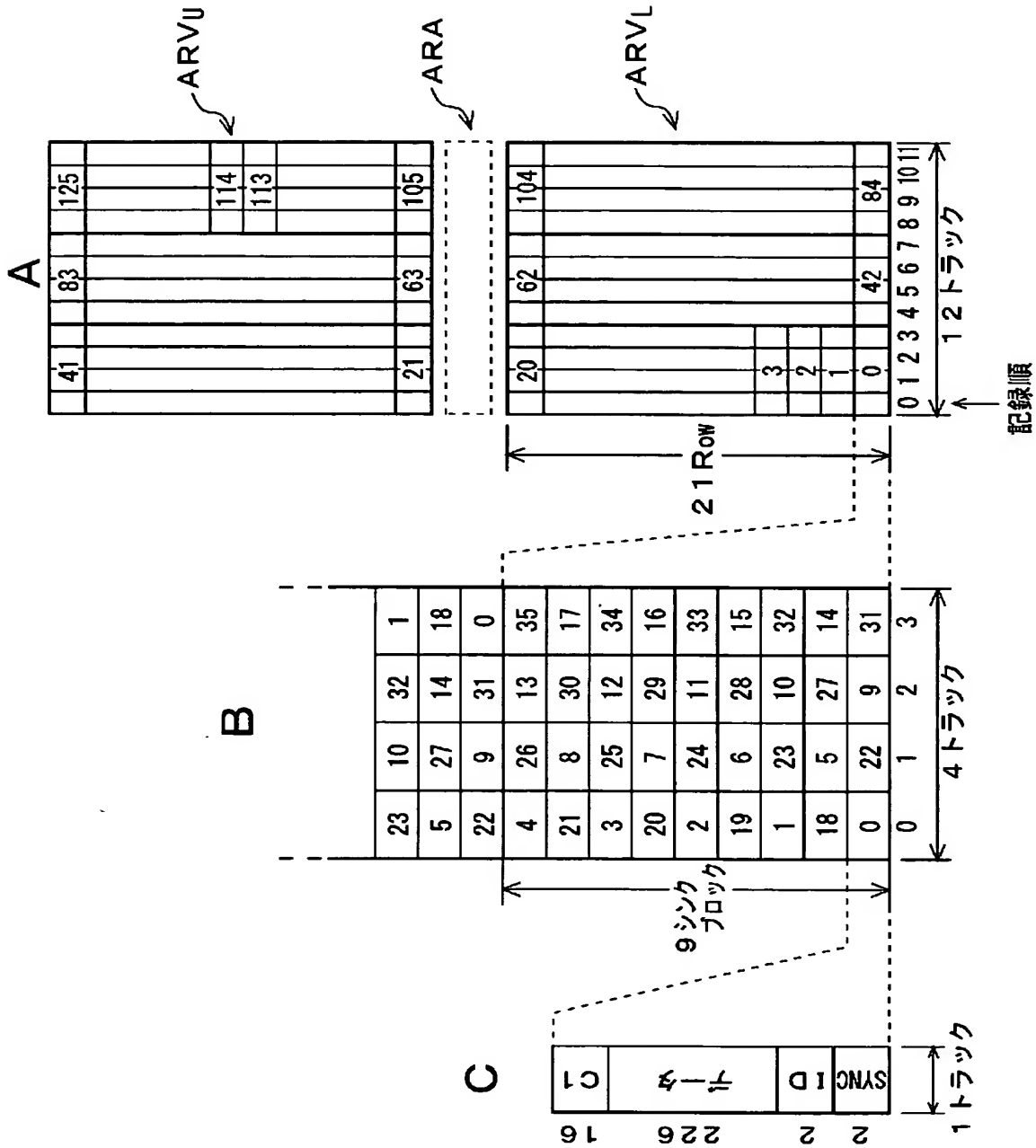
【図 5】

1 シンクブロック
（ビデオデータ）



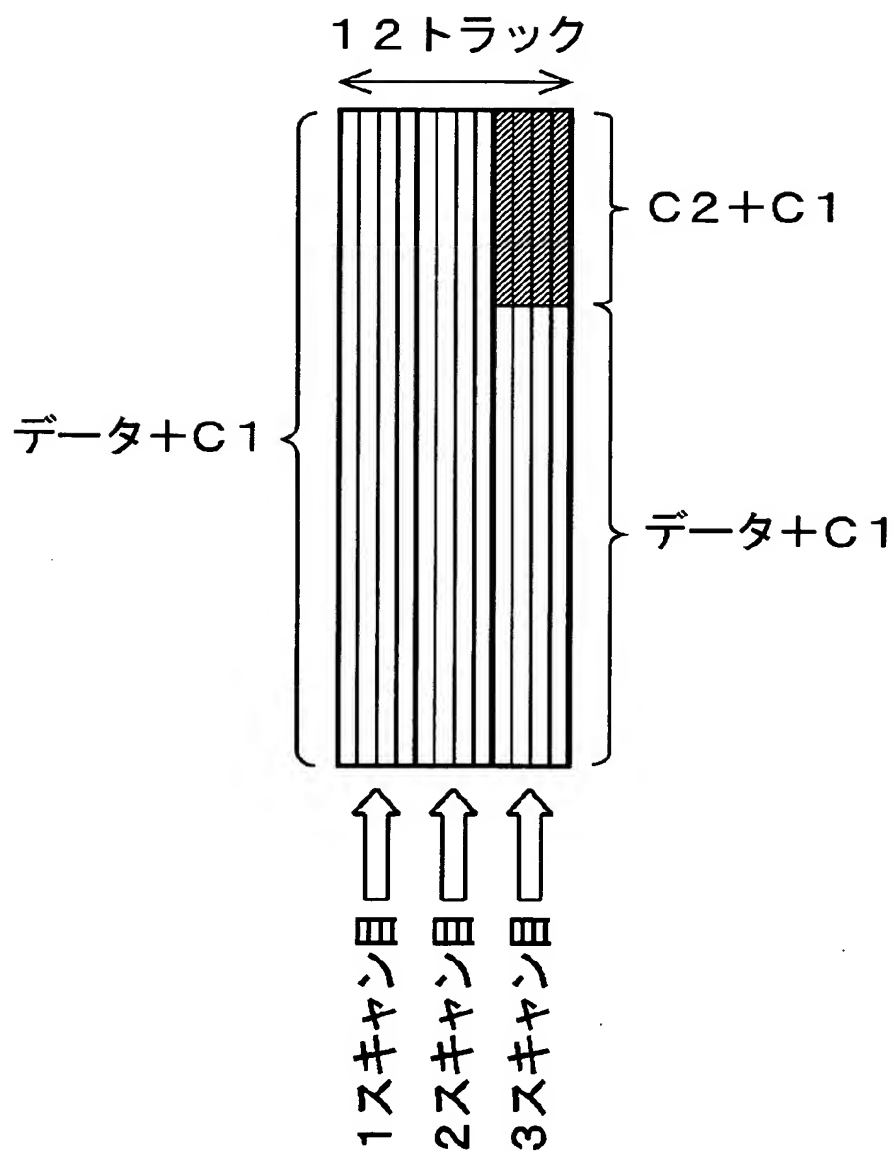
【図 6】

12トラック内のシンクブロックの配置



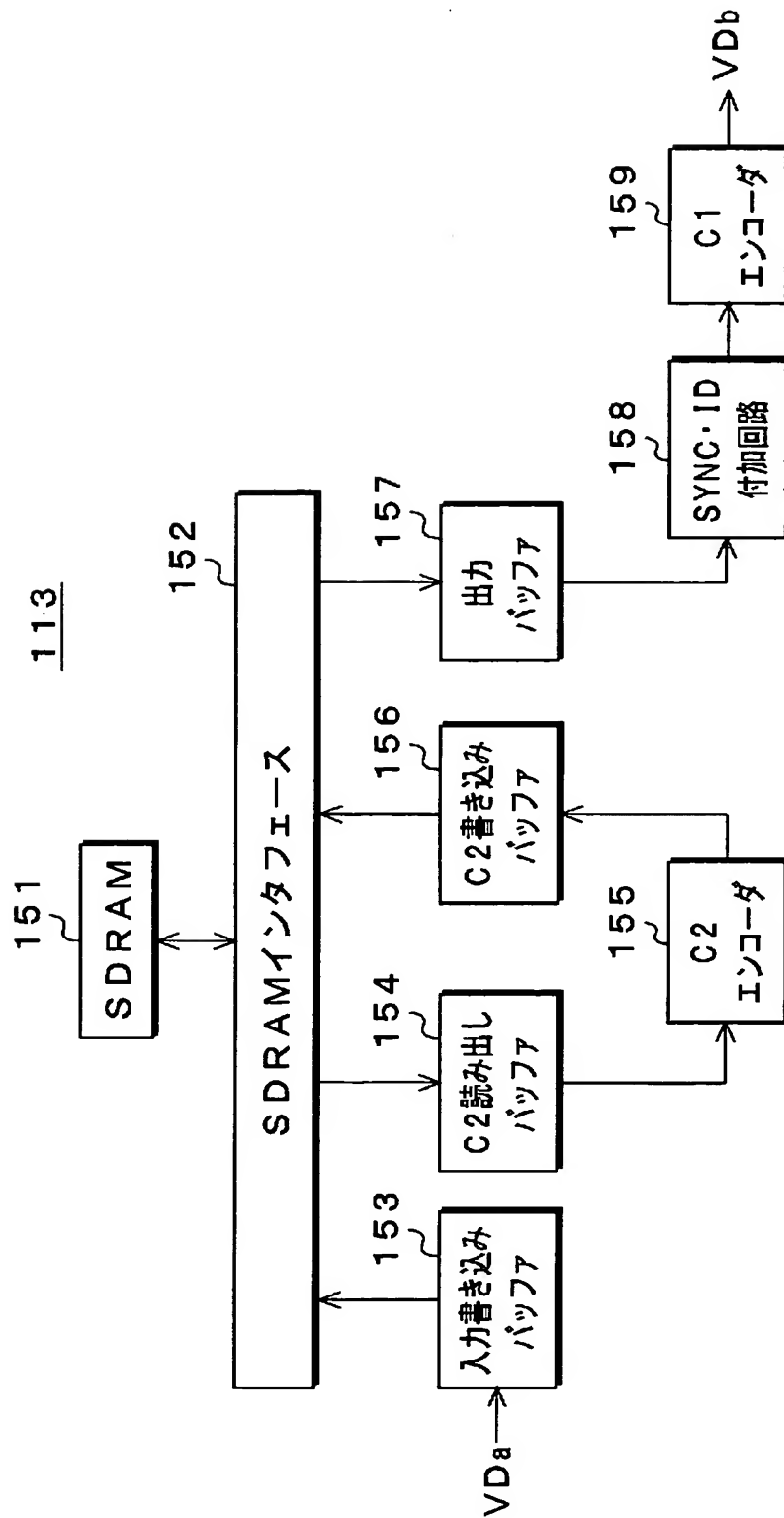
【図 7】

C 2 パリティの配置

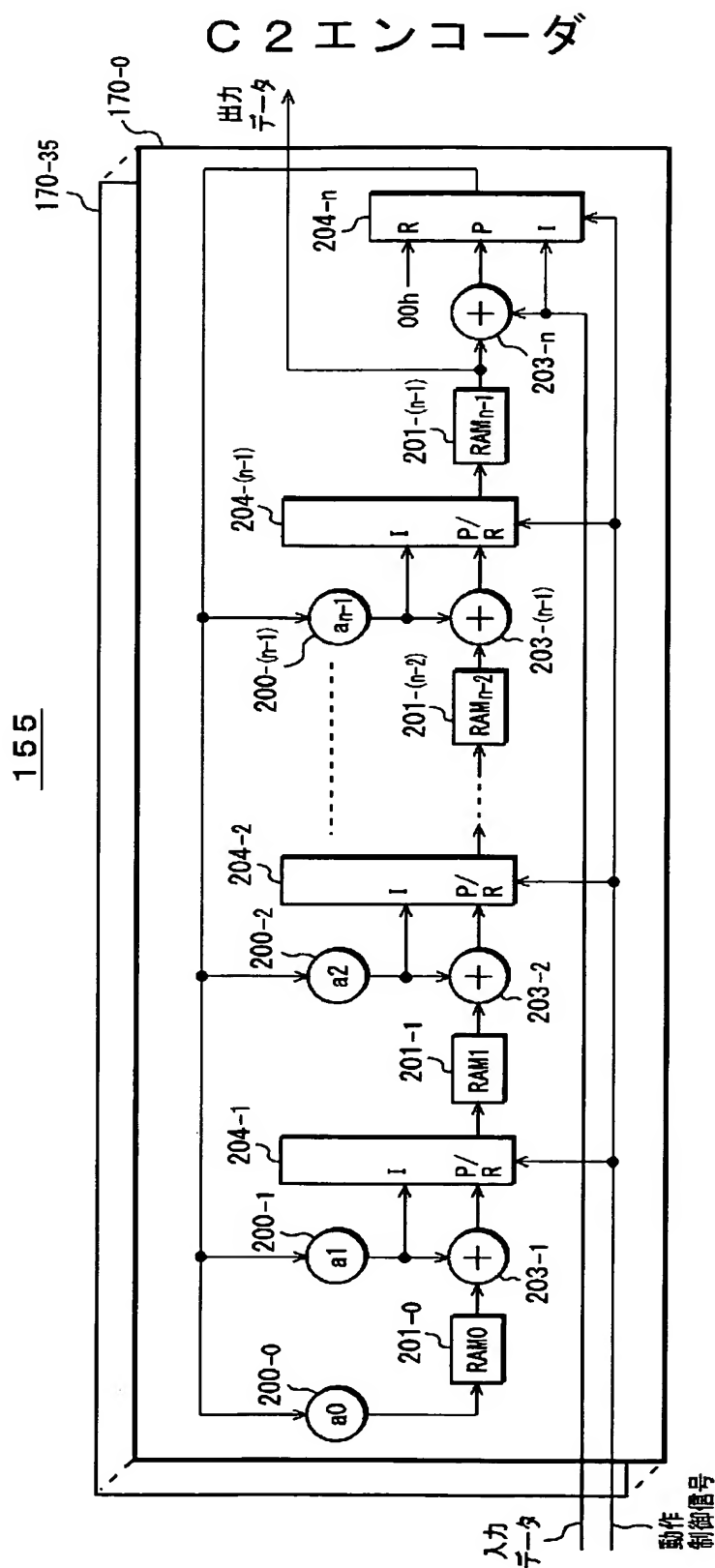


【図 8】

ECCエンコーダ



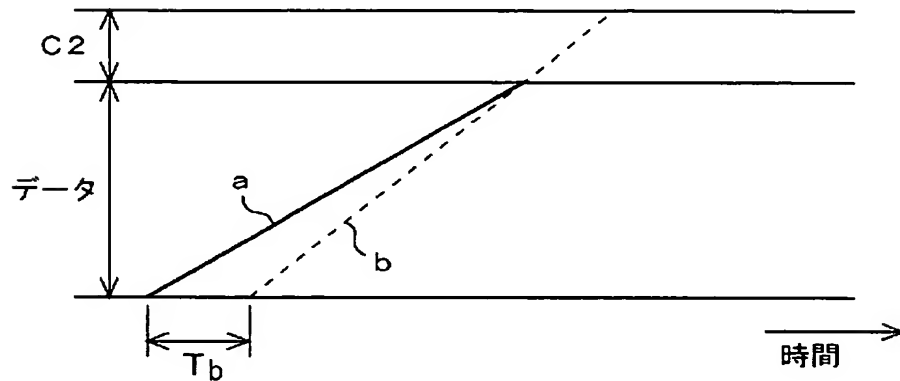
【図 9】



155

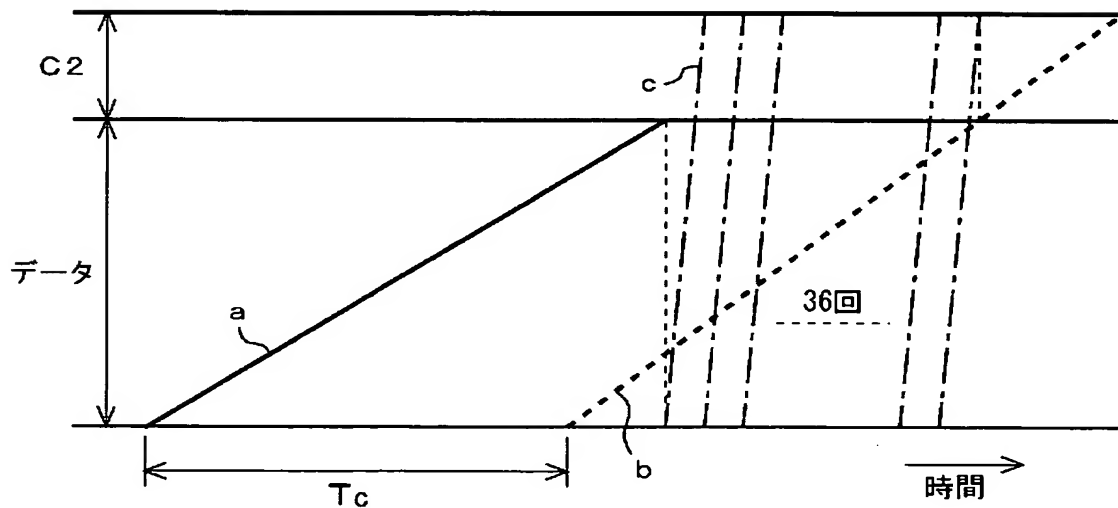
【図 10】

ＥＣＣエンコーダにおけるシステムディレイ (演算器 36 個の場合)



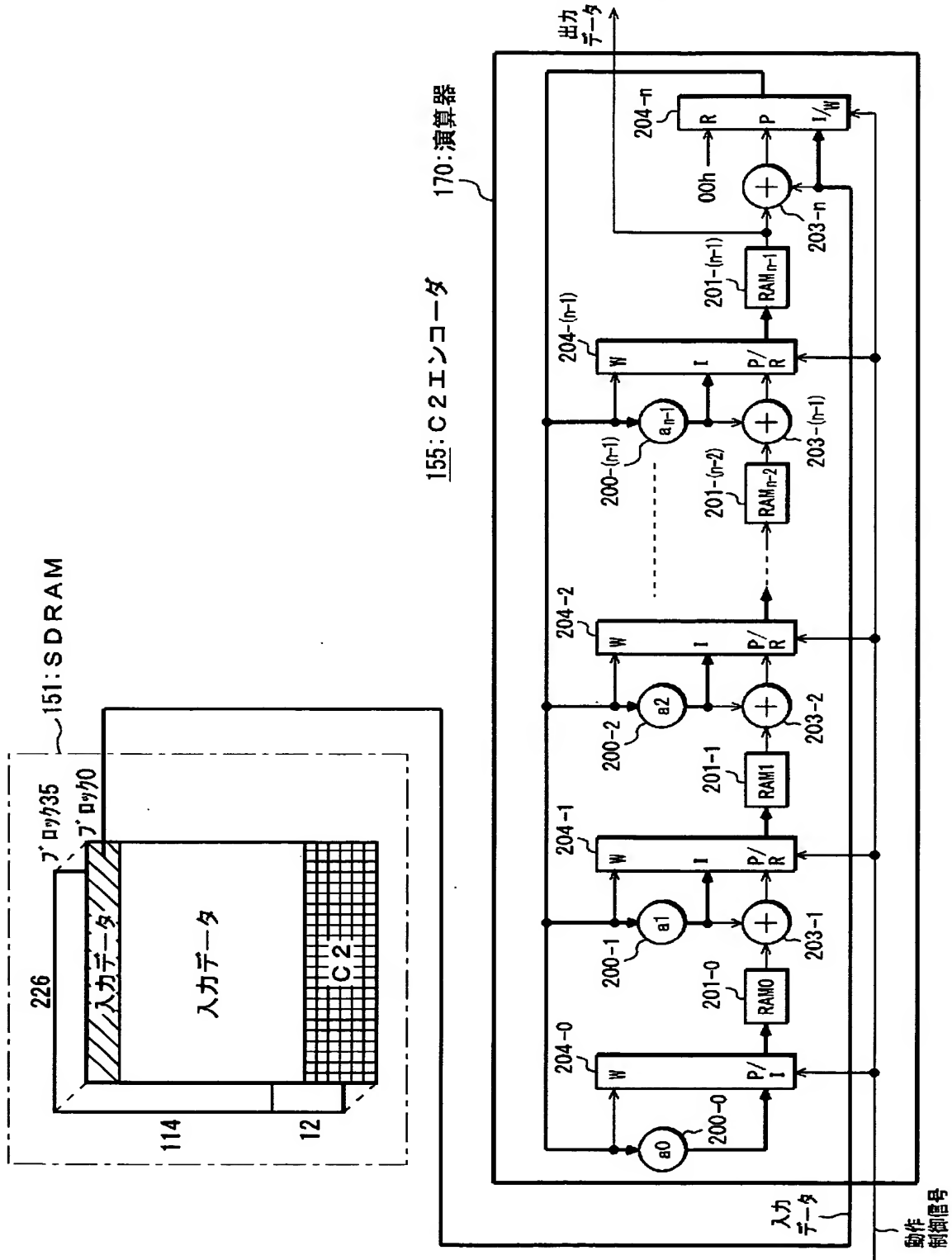
【図 11】

ＥＣＣエンコーダにおけるシステムディレイ (演算器 1 個、処理分割せず)



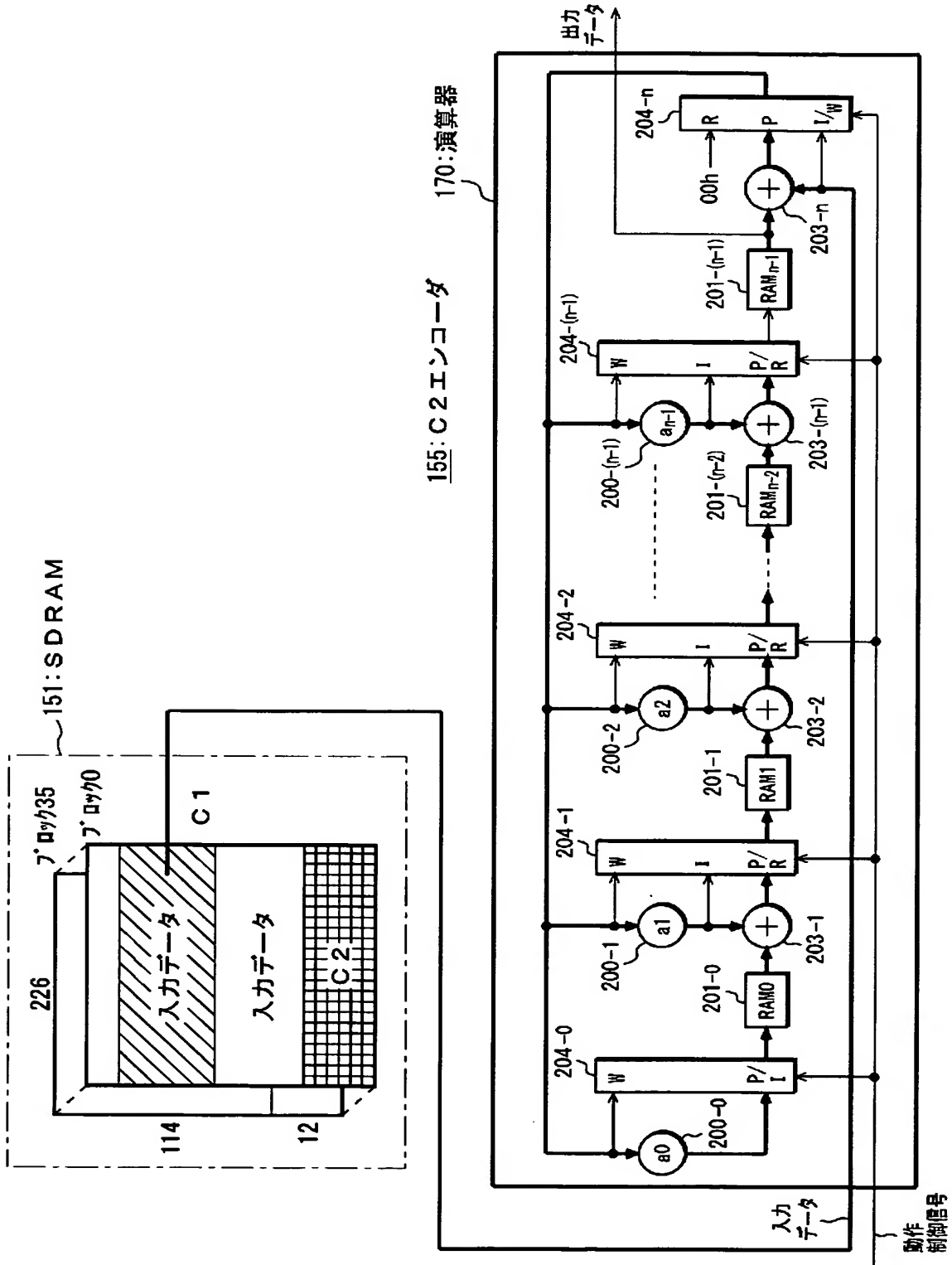
【図 12】

C2 パリティの演算 (初期化時)



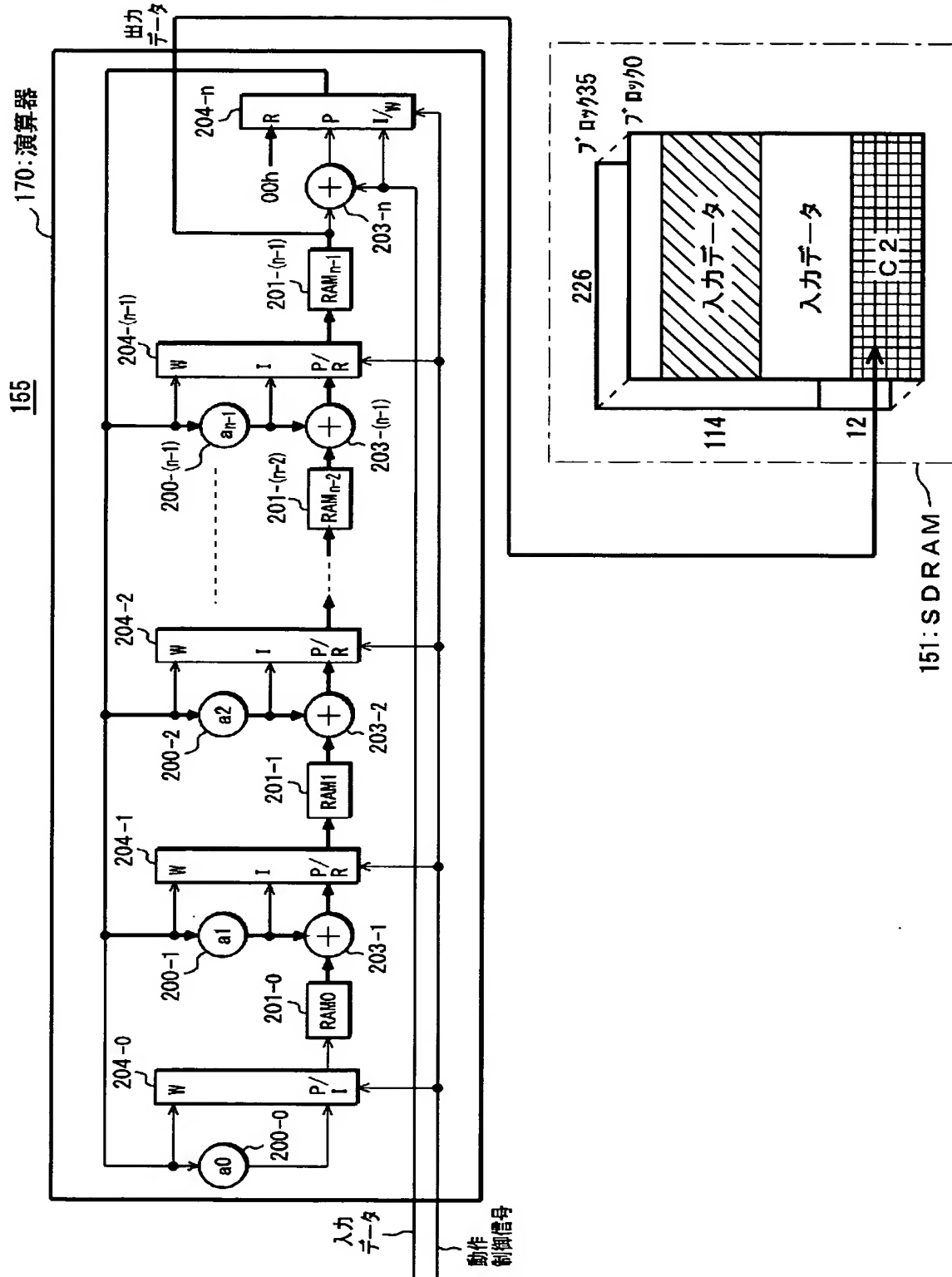
【図 13】

C2パリティの演算(演算時)



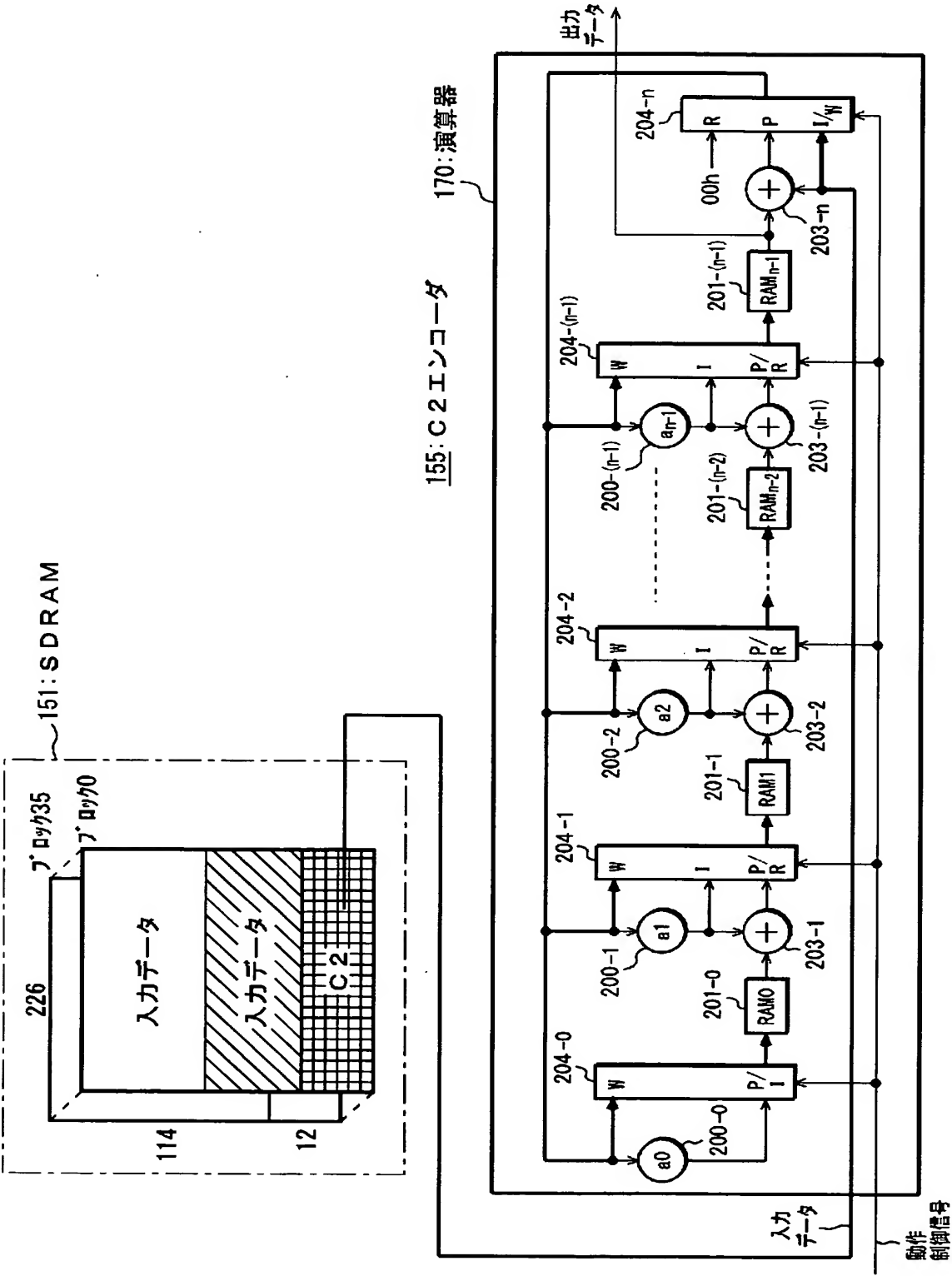
【図 14】

C2 パリティの演算 (演算結果出力時)



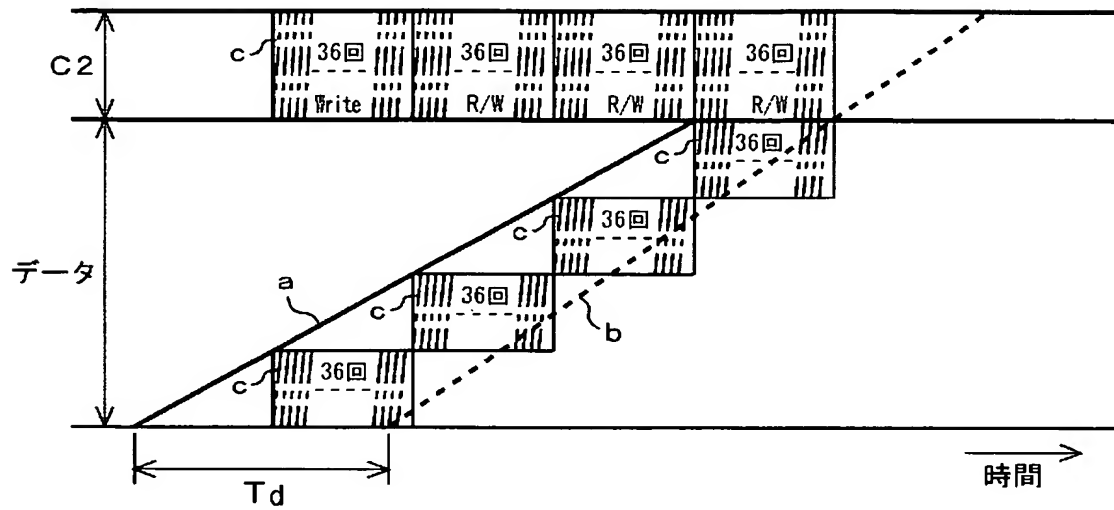
【図15】

C2パリティの演算(演算途中結果ロード時)



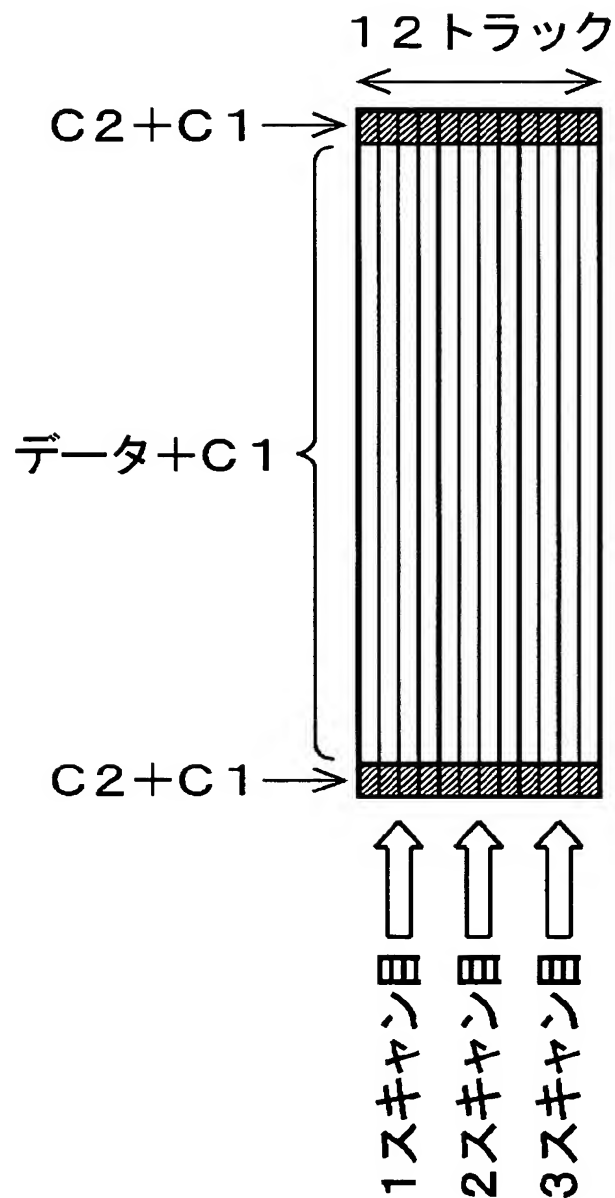
【図 16】

ECCエンコーダにおけるシステムディレイ (演算器 1 個、4 分割処理)



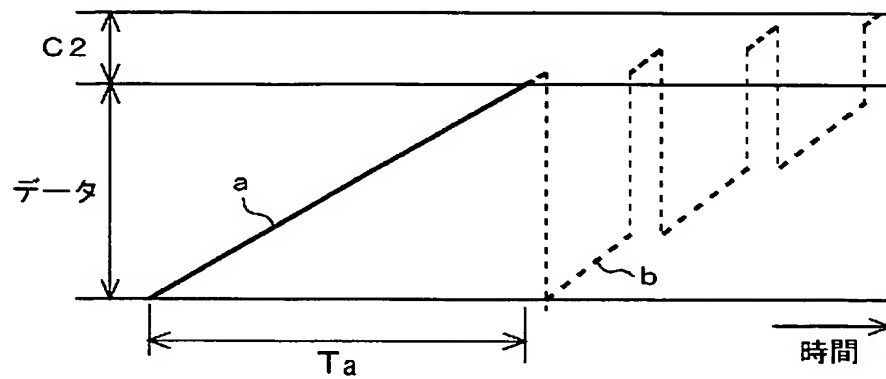
【図 17】

従来の C 2 パリティの配置



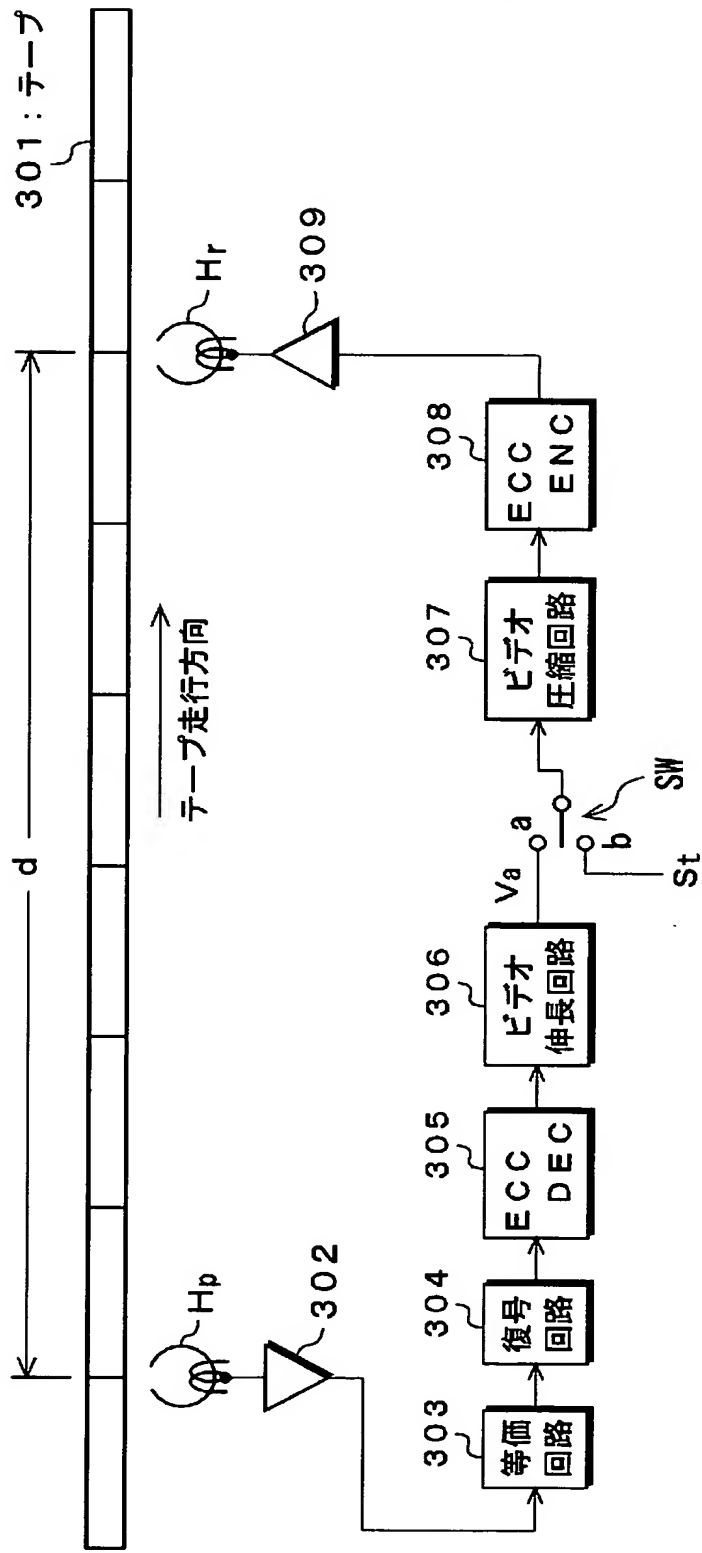
【図 18】

ＥＣＣエンコーダにおけるシステムディレイ (従来)



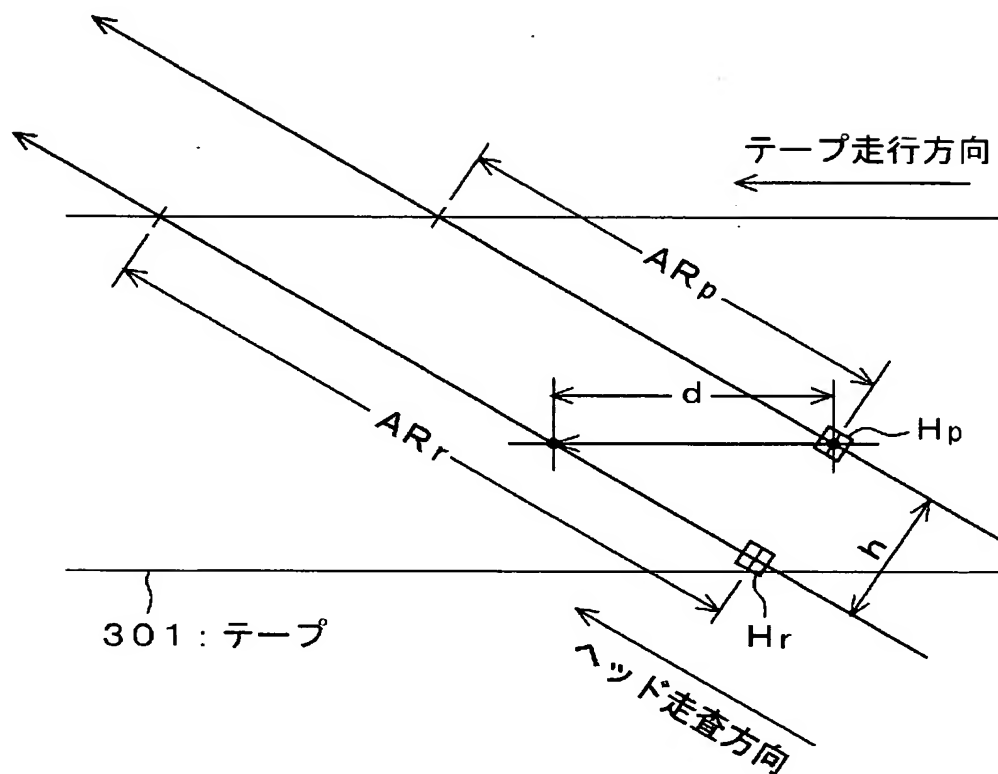
【図19】

プリリード編集



【図 20】

システムディレイと、記録ヘッド、再生ヘッド
の段差との関係



【書類名】 要約書

【要約】

【課題】 入力データの入力が始まった後当該入力データの記録が始まるまでの時間を短くする。

【解決手段】 例えば、12トラックに、36個の積符号を用いたECCブロックを、3スキャンで記録する。最初は内符号演算データ系列を構成するビデオデータのデータ列にC1パリティが付加されてなる第1のシンクブロックを順次記録する。この第1のシンクブロックの記録が終了した後に、内符号演算データ系列を構成するC2パリティのデータ列にC1パリティが付加されてなる第2のシンクブロックを順次記録する。C2パリティを後からまとめて記録するものであって、当該C2パリティに関しては記録されるまでに演算が終了していればよい。そのため、12トラックに記録すべきビデオデータのひとまとまりである1フィールド分を、ECCエンコーダに全て取り込む前に、当該ビデオデータの記録を開始できる。

【選択図】 図7

特願 2 0 0 3 - 1 0 1 2 9 6

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 1 8 5]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

東京都品川区北品川 6 丁目 7 番 3 5 号

氏 名

ソニー株式会社